

IRW

PTO/SB/21 (09-04)

Approved for use through 07/31/2006. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**TRANSMITTAL
FORM**

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

3

Application Number

10/711,618

Filing Date

09/29/2004

First Named Inventor

Ling-Wei Ke

Art Unit

Examiner Name

Attorney Docket Number

MTKP0080USA

ENCLOSURES (Check all that apply)

Fee Transmittal Form



Fee Attached



Amendment/Reply



After Final



Affidavits/declaration(s)



Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)

Reply to Missing Parts/
Incomplete ApplicationReply to Missing Parts
under 37 CFR 1.52 or 1.53

Drawing(s)



Licensing-related Papers



Petition

Petition to Convert to a
Provisional ApplicationPower of Attorney, Revocation
Change of Correspondence Address

Terminal Disclaimer



Request for Refund



CD, Number of CD(s) _____



Landscape Table on CD



After Allowance Communication to TC

Appeal Communication to Board
of Appeals and InterferencesAppeal Communication to TC
(Appeal Notice, Brief, Reply Brief)

Proprietary Information



Status Letter

Other Enclosure(s) (please identify
below):

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm Name

North America Intellectual Property Corp.

Signature

Winston Hsu

Printed name

Winston Hsu

Date

11/19/2004

Reg. No.

41,526

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below:

Signature

Typed or printed name

Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-04)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2005

Effective 10/01/2004. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number 10/711,618

Filing Date 09/29/2004

First Named Inventor Ling-Wei Ke

Examiner Name

Art Unit

Attorney Docket No. MTKP0080USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit
Account
Number
Deposit
Account
Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee
to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	790	2001	395	Utility filing fee	
1002	350	2002	175	Design filing fee	
1003	550	2003	275	Plant filing fee	
1004	790	2004	395	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid
Total Claims	<input type="text"/>	-20** =	<input type="text"/>	X	<input type="text"/>	
Independent Claims	<input type="text"/>	- 3** =	<input type="text"/>	X	<input type="text"/>	<input type="text"/>
Multiple Dependent					<input type="text"/>	<input type="text"/>

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	88	2201	44	Independent claims in excess of 3
1203	300	2203	150	Multiple dependent claim, if not paid
1204	88	2204	44	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	430	2252	215	Extension for reply within second month	
1253	980	2253	490	Extension for reply within third month	
1254	1,530	2254	765	Extension for reply within fourth month	
1255	2,080	2255	1,040	Extension for reply within fifth month	
1401	340	2401	170	Notice of Appeal	
1402	340	2402	170	Filing a brief in support of an appeal	
1403	300	2403	150	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,370	2501	685	Utility issue fee (or reissue)	
1502	490	2502	245	Design issue fee	
1503	660	2503	330	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	790	2809	395	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	790	2810	395	For each additional invention to be examined (37 CFR 1.129(b))	
1801	790	2801	395	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)

Winston Hsu

Registration No.
(Attorney/Agent)

41,526

Telephone 302-729-1562

Signature

Winston Hsu

Date

11/19/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (09-04)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION – Supplemental Priority Data Sheet

Foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092127228	Taiwan R.O.C.	10/1/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 10 月 01 日
Application Date

申請案號：092127228
Application No.

申請人：聯發科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2003 年 11 月 12 日
Issue Date

發文字號：09221141750
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	可快速終止運作之低雜訊穩壓電路
	英 文	FAST-DISABLED VOLTAGE REGULATOR CIRCUIT WITH LOW-NOISE FEEDBACK LOOP
二、 發明人 (共2人)	姓 名 (中文)	1. 柯凌維
	姓 名 (英文)	1. KE, LING-WEI
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮三重里九鄰中興路二段二六0巷一號二樓
	住居所 (英 文)	1. 2F, No. 1, Lane 260, Sec. 2, Chung-Hsing Rd., Chu-Tung Town, Hsin-Chu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英文)	1. MEDIATEK INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣新竹科學工業園區創新一路1-2號5樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 5F, No. 1-2, Innovation Road 1, Science-Based Industrial Park, HSIN-CHU HSIEN, TAIWAN, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. TSAI, MING-KAI



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 邱繼崑
	姓 名 (英文)	2. CHIU, CHI-KUN
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 桃園縣平鎮市延平路三段一0四巷一弄三十八號
	住居所 (英 文)	2. No. 38, Alley 1, Lane 104, Sec. 3, Yen-Ping Rd., Ping-Cheng City, Tao-Yuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

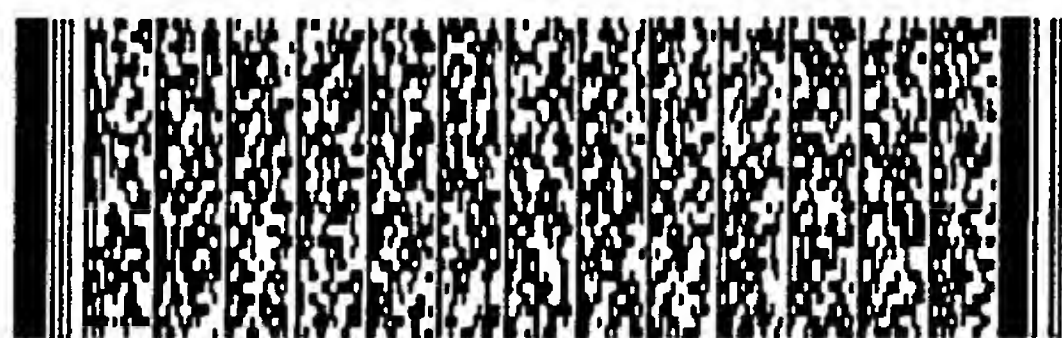
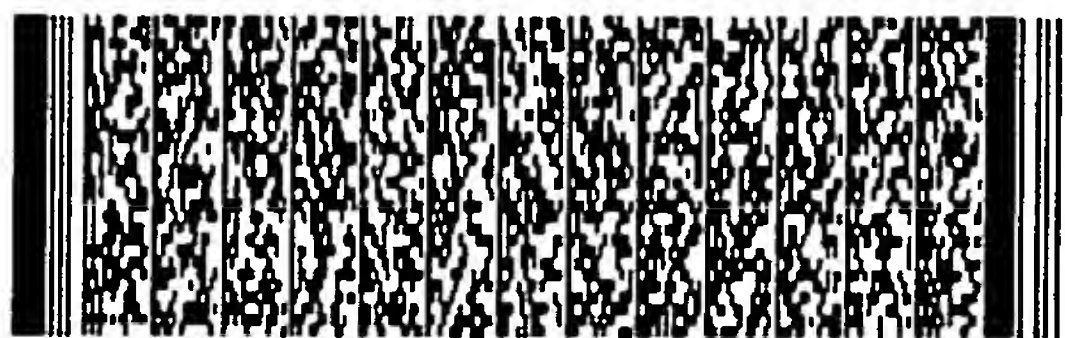


四、中文發明摘要 (發明名稱：可快速終止運作之低雜訊穩壓電路)

本發明提供一種可快速終止運作之穩壓電路，該穩壓電路包含有一放大器電路，用來依據一致能電壓訊號輸出一驅動電壓；一輸出電晶體，電連於該放大器電路、一輸出節點、以及一第一電壓源，於該輸出節點可輸出一輸出電壓；一第一放電電晶體，電連於該致能電壓訊號、該輸出節點、以及一迴授節點；以及一第二放電電晶體，電連於該致能電壓訊號、該迴授節點、以及一第二電壓源；其中當該致能電壓訊號停止該放大器電路之運作時，該致能電壓訊號開啟該第一放電電晶體與第二放電電晶體，導通該輸出節點與該迴授節點，並快速拉低該輸出電壓。

五、英文發明摘要 (發明名稱：FAST-DISABLED VOLTAGE REGULATOR CIRCUIT WITH LOW-NOISE FEEDBACK LOOP)

A low-noise voltage regulator circuit with fast disable is disclosed. The voltage regulator circuit includes an amplifier for outputting a driving voltage according to an enable signal; an output transistor, which is electrically connected to the amplifier, an output node, and a first voltage source, for outputting an output voltage at the output node; a first discharge transistor



四、中文發明摘要 (發明名稱：可快速終止運作之低雜訊穩壓電路)

五、英文發明摘要 (發明名稱：FAST-DISABLED VOLTAGE REGULATOR CIRCUIT WITH LOW-NOISE FEEDBACK LOOP)

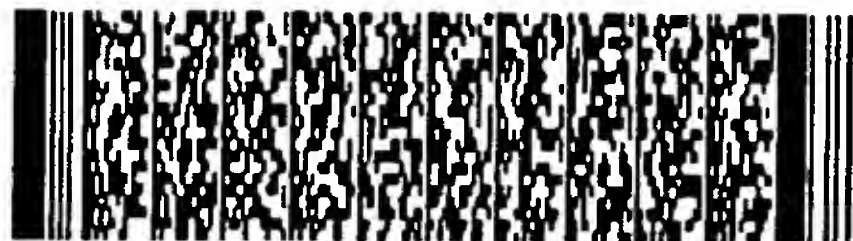
electrically connected to the enable signal, the output node, and a feedback node; and a second discharge transistor electrically connected to the enable signal, the feedback node, and a second voltage source; wherein when the enable signal disables the amplifier, the enable signal turns on the first discharge transistor and the second discharge transistor; and conducts between the



四、中文發明摘要 (發明名稱：可快速終止運作之低雜訊穩壓電路)

五、英文發明摘要 (發明名稱：FAST-DISABLED VOLTAGE REGULATOR CIRCUIT WITH LOW-NOISE FEEDBACK LOOP)

output node and the feedback node so as to quickly pull down the output voltage.



六、指定代表圖

(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

30 穩壓電路

32 放大器電路

34 輸出電晶體

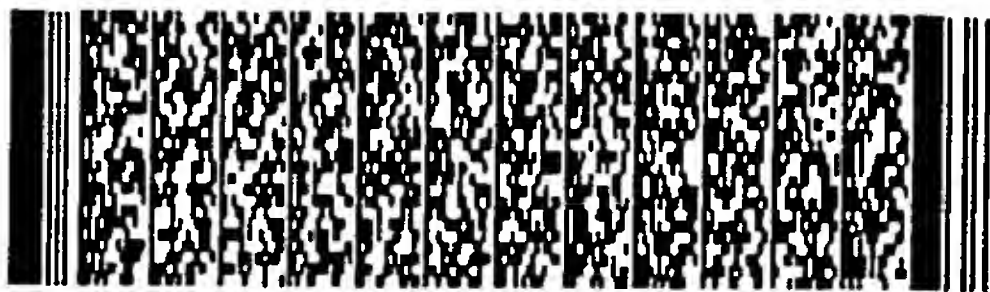
36 負載模組

38 外部電路元件

40 反向器

41 第一放電電晶體

42 第二放電電晶體



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

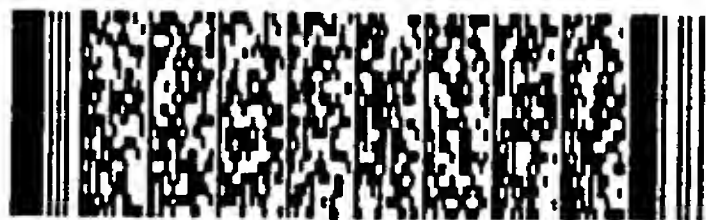
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



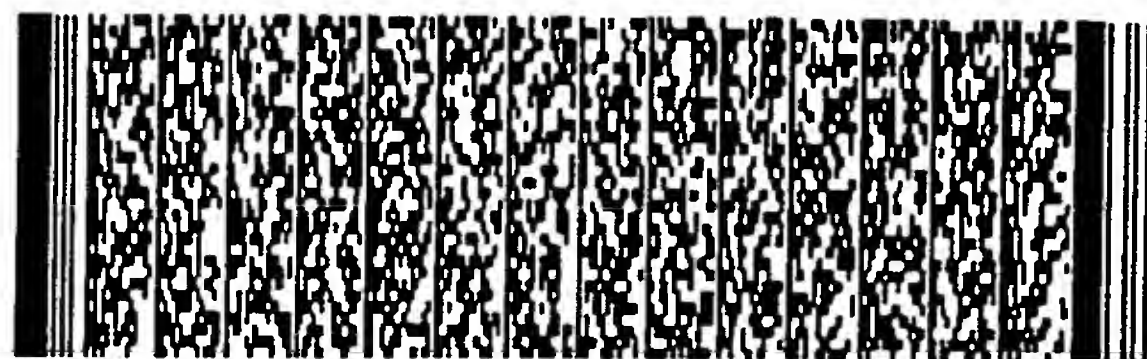
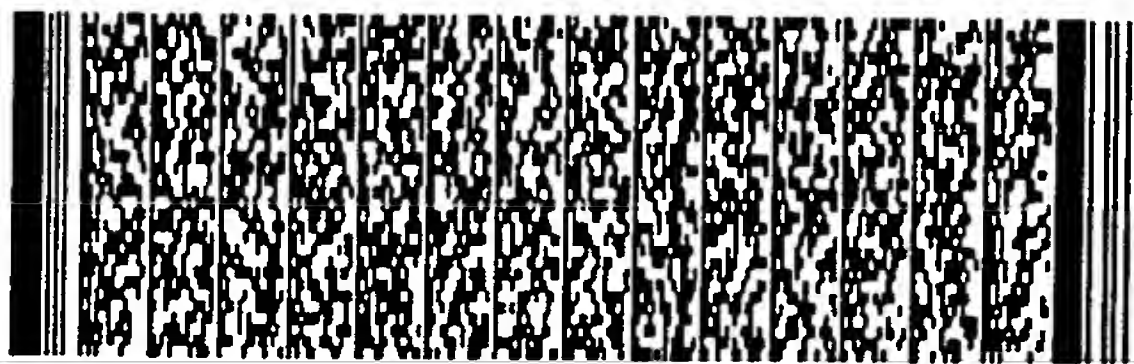
五、發明說明 (1)

【技術領域】

本發明提供一種低雜訊穩壓電路以及用於該穩壓電路中快速終止運作的方法，尤指一種利用一致能電壓訊號，導通一輸出節點、一該迴授節點、以及一接地電壓源，以快速拉低該低雜訊穩壓電路之一輸出電壓的穩壓電路與相關方法。

【先前技術】

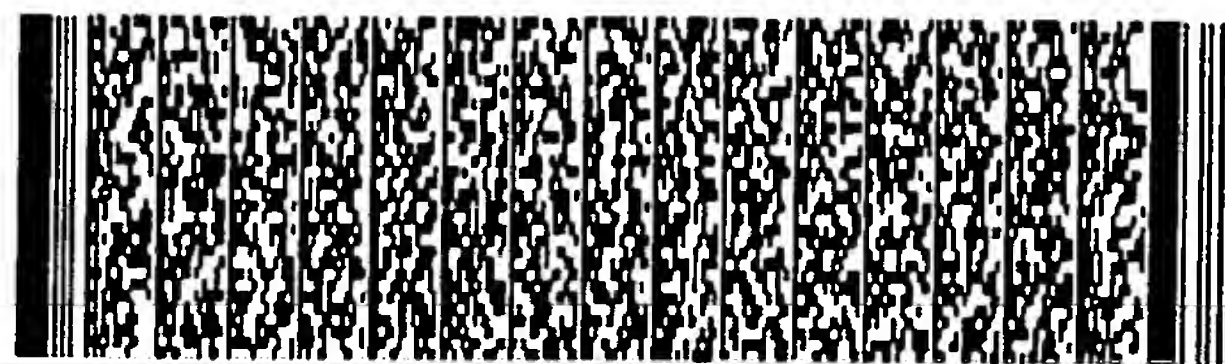
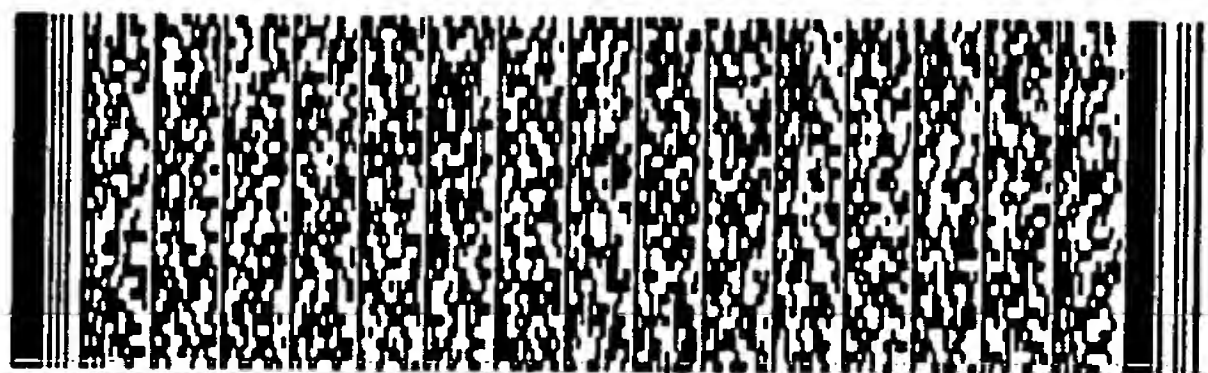
於目前市面上之各種電子產品中，常常會使用到穩壓電路來執行電壓調整的工作，並提供穩定的電壓予設置於穩壓電路外部之元件。舉例而言，在許多微控制器系統中，為了要提供一用來執行數據運算、資料處理的核心電路 (Core circuit) 及另一輸出入電路 (I/O Circuit) 不同的偏壓，通常就會以一穩壓電路根據較高的直流電壓來產生一較低的 (穩壓) 輸出電壓，並分別以該直流電壓及該輸出電壓來提供偏壓 (Bias) 至輸出入電路及核心電路。請參閱圖一，圖一為一習知穩壓電路 10 之示意圖，而圖一中另包含一外接於穩壓電路 10 之外部電路元件 18，例如上述之核心電路。習知穩壓電路 10 包含一放大器電路 12 (Amplifier)、一輸出電晶體 14、以及一負載模組 16，負載模組 16 又包含一負載電容 CL 與二負載電阻 RL1、RL2，此負載電容 CL 與二負載電阻 RL1、RL2 係連接於一輸出節點



五、發明說明 (2)

NOUT與一第二電壓源 VSS(第二電壓源 VSS通常提供一低準位直流電壓或一接地(Ground)電壓)之間。放大器電路 12 包含一第一接收端 Na1及一第二接收端 Na2(此第一及第二接收端 Na1、Na2可視為兩個差動輸入端)，第一接收端 Na1電連於一外接之參考電壓產生器 13(Reference Voltage Generator)，用來分別接收一參考電壓(Reference Voltage)，第二接收端 Na2電連於一迴授節點 NF1，接收一迴授電壓(Feedback Voltage)，而此參考電壓即由參考電壓產生器 13所產生。如此一來，放大器電路 12可依據參考電壓、迴授電壓、以及一致能電壓訊號(Enable Voltage Signal) ENABLE以於一輸出端 Np1輸出一驅動電壓至輸出電晶體 14，來控制輸出電晶體 14的閘極(Gate)偏壓。

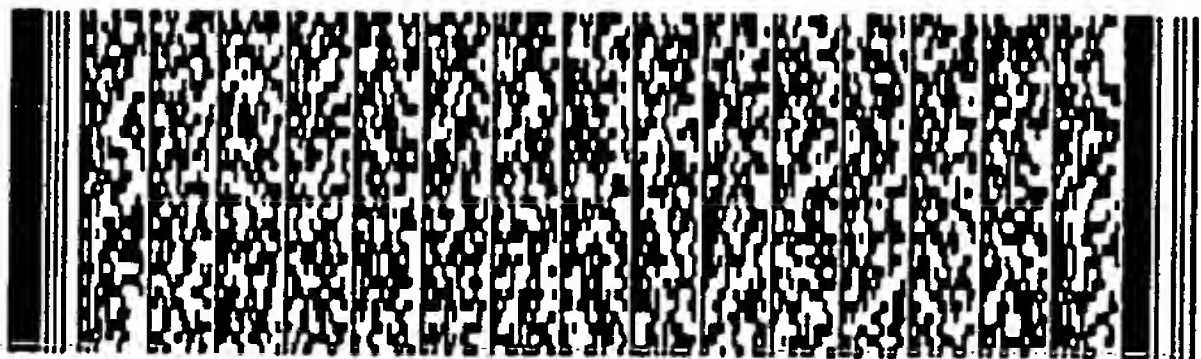
於本習知實施例中，輸出電晶體 14設計為一 P型通道金屬氧化半導體(PMOS)電晶體，輸出電晶體 14之閘極經由節點 Np1電連於放大器電路 12，汲極電連於輸出節點 NOUT，而其源極電連於一第一電壓源 VCC。第一電壓源 VCC即為系統中提供之高準位之直流電壓，舉例而言，若穩壓電路 10設置於一微控制器系統中，第一電壓源 VCC設為 3.3V(伏特)的直流偏壓，意即，此 3.3V的直流電壓即為提供該微控制器系統及該穩壓電路 10運作之直流偏壓，而在該穩壓電路 10之運作下，外接之外部電路元件 18則會被偏壓於較低的 2.5V，也就是說，在此種配置下，穩壓電路 10係利用 3.3V的直流電壓(第一電壓源 VCC)，於輸出節點 NOUT產生



五、發明說明 (3)

出 2.5V 穩定的輸出電壓，供應外部電路元件 18 運作時的電力需求。請繼續參閱圖一，輸出電晶體 14 可依據由閘極的驅動電壓操作以調整控制一輸出電壓於輸出節點 NOUT，此外，輸出節點 NOUT 連接至具有一定電容值的負載電容 CL，此負載電容 CL 可用來穩壓，也能從旁濾除 (Bypass) 掉交流波動的干擾，而當此負載電容 CL 被充電至穩態後，就能在輸出節點 NOUT 建立起穩態的輸出電壓。此輸出電壓一方面會提供至外部電路元件 18 作為偏壓之電壓使用，一方面也會經由二負載電阻 RL1、RL2 的分壓而在一迴授節點 NF1 建立迴授電壓，將此迴授電壓提供至放大器電路 12。

習知技術中驅動穩壓電路 10 運作的情形可描述如下。第一電壓源 VCC 會將具有高準位之直流電壓提供至穩壓電路 10，同時第二電壓源 VSS 會將具有低準位之直流電壓或接地電壓提供至穩壓電路 10。在致能電壓訊號 ENABLE 提供一高準位之直流電壓至放大器電路 12 後，放大器電路 12 及穩壓電路 10 開始運作，此時，放大器電路 12 於輸出端 Np1 輸出一低準位的驅動電壓至輸出電晶體 14 之閘極，導通第一電壓源 VCC 與輸出節點 NOUT，使得輸出電晶體 14 源極與汲極間的跨壓幾乎相當於直流電壓 VCC、VSS 間的電壓差，並在其汲極與源極間導通大量之電流作為充電電流，將負載電容 CL 充電。隨著充電過程的進行，輸出節點 NOUT 的電壓會逐漸上升，節點 Np1 的電壓也會逐漸上升，使得輸出節點 NOUT 之輸出電壓逐漸趨於穩態的定值。到了穩態時，放

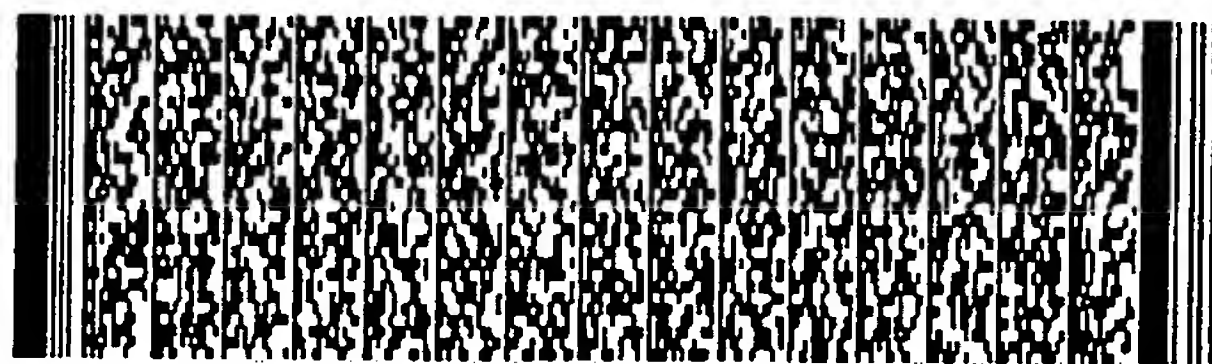
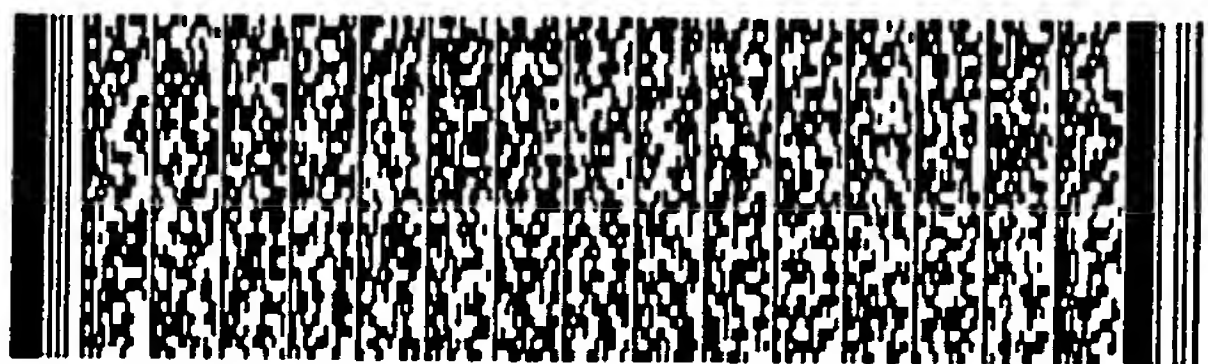


五、發明說明 (4)

大器電路 12 會維持迴授電壓與參考電壓相等，此穩定的輸出電壓就能作為外部電路元件 18 的直流偏壓。當輸出電壓之電壓大小偶有改變時，放大器電路 12 就會對應地調整控制驅動電壓來進行動態的補償。

當欲終止 (Disable) 該穩壓電路 10 之運作時，致能電壓訊號 ENABLE 會改為提供一低準位之直流電壓至放大器電路 12，此低準位的致能電壓訊號 ENABLE 會終止放大器電路 12 的運作，使得放大器電路 12 於輸出端 Np1 轉為輸出一高準位的驅動電壓至輸出電晶體 14 之閘極，由於輸出電晶體 14 為 P 型通道金屬氧化半導體電晶體，此高準位的驅動電壓會關閉輸出電晶體 14，使得第一電壓源 VCC 與輸出節點 NOUT 不再相互導通，也就是說第一電壓源 VCC 不再提供高準位之直流電壓至輸出節點 NOUT。在穩壓電路 10 透過負載模組 16 放電的過程中，因負載電容 CL 具有一定之電容值，會導致放電時間的拖延，連帶延宕了穩壓電路 10 終止運作的效率，也使得穩壓電路 10 無法提供精準而穩定的輸出電壓。再者，穩壓電路 10 終止運作之時間的增長也代表電力消耗量的增加且無法精準而穩定的終止輸出電壓，如此一來，習知穩壓電路 10 則無法設置於在處處講求低能源消耗與精準而穩定地控制電壓輸出的攜帶式電子系統 (如筆記型電腦、個人數位助理 (PDA)) 中。

為解決上述的問題，並奠基於上述穩壓電路 10 之基本結



五、發明說明 (5)

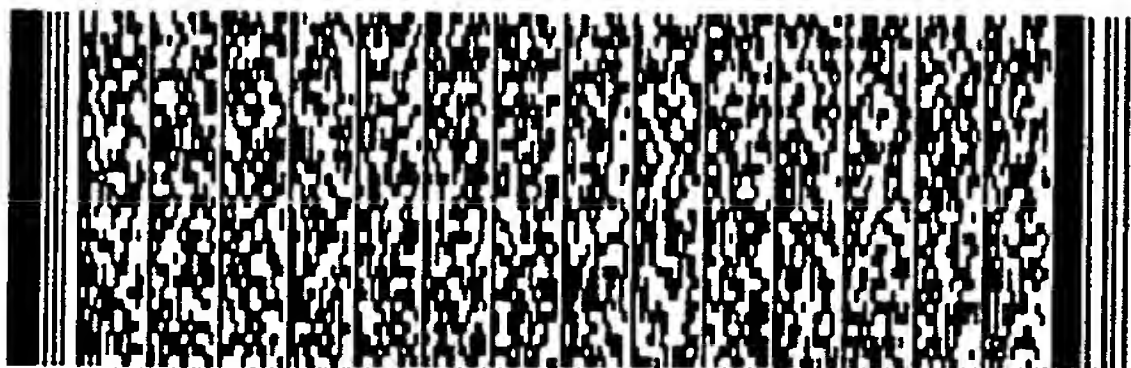
構，在 US Patent No. 6,362,609, "Voltage regulator" 中已提出利用新設置一電晶體來加快穩壓電路 10 終止輸出電壓運作的速度。其相關電路操作請參閱其專利內容，在此不再詳述。

【內容】

因此本發明的主要目的在於一種低雜訊穩壓電路以及用於該穩壓電路中快速終止運作的方法，以解決上述問題。

本發明所揭露的穩壓電路同時具備了快速終止運作 (Fast Disable) 以及拉低放大器電路之迴授電壓的技術特徵，我們以習知穩壓電路的架構為基礎，新增至少二放電電晶體，讓穩壓電路之輸出電壓能透過放電電晶體快速放電；除此之外，於放大器電路之相關迴授輸入端新增至少一濾波電容，在濾除相關之射頻干擾訊號 (RF Interference Signal) 以降低雜訊的同時，亦能利用放電電晶體迅速拉低放大器電路之迴授電壓，來達成降低雜訊並縮減放電時間，如此一來，本發明之穩壓電路即能快速的終止運作，真正提供低雜訊、精準、且穩定的輸出電壓。

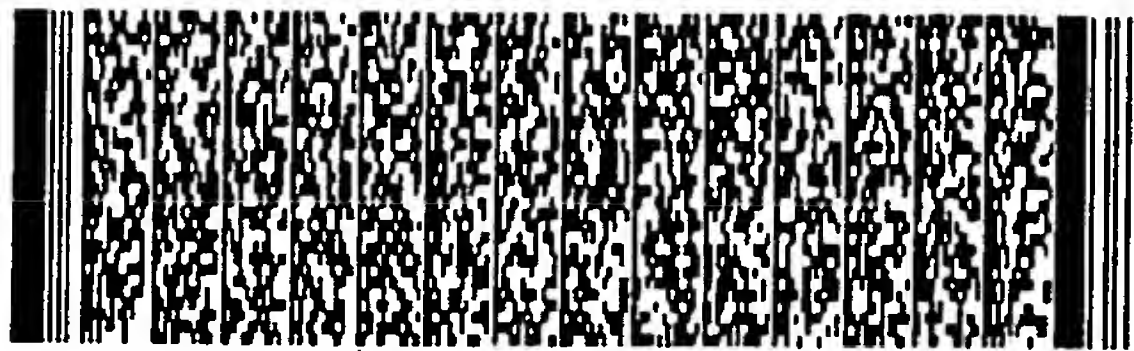
本發明之目的為提供一種穩壓電路 (Voltage Regulator Circuit)，用來於一輸出節點 (Output Node) 輸出至少一輸出電壓 (Output Voltage)，該穩壓電路包含有一放大器



五、發明說明 (6)

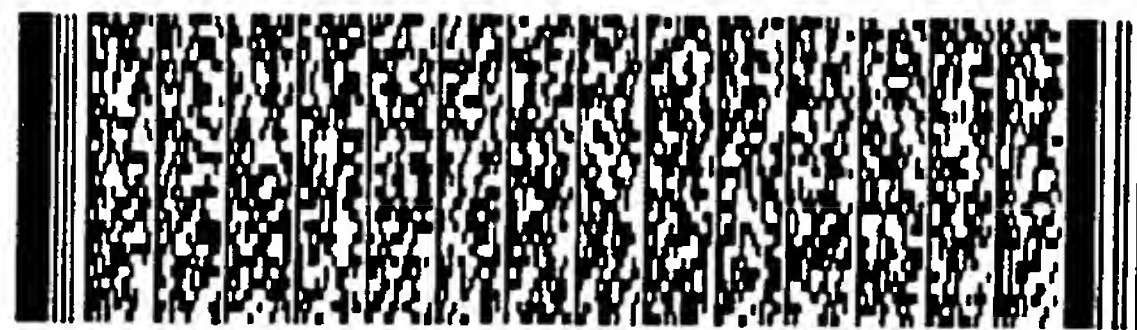
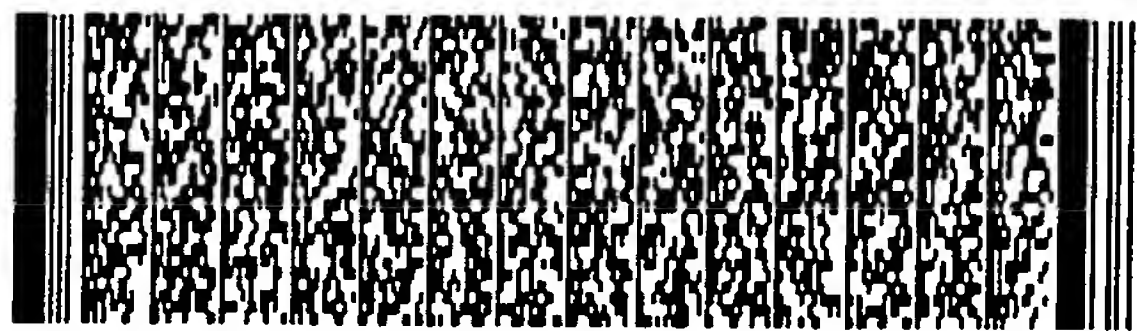
電路 (Amplifier)，包含一第一接收端及一第二接收端，用來分別接收一參考電壓 (Reference Voltage) 及一迴授電壓 (Feedback Voltage)，該放大器電路係依據該參考電壓、該迴授電壓、以及一致能電壓訊號 (Enable Voltage Signal) 以輸出一驅動電壓；一輸出電晶體，包含三終端 (Port)，該三終端分別電連於該放大器電路、該輸出節點、以及一第一電壓源，並接收該驅動電壓，該輸出電晶體係依據該驅動電壓操作以調整控制該輸出電壓於該輸出節點；一第一放電電晶體 (Discharge Transistor)，包含三終端，該三終端分別電連於一反向致能電壓訊號、該輸出節點、以及一迴授節點，該第一放電電晶體係依據該反向致能電壓訊號操作以開關控制是否導通該輸出節點與該迴授節點，其中該迴授節點係電連於該第二接收端，可提供該迴授電壓予該放大器電路；一第二放電電晶體，包含三終端，該三終端分別電連於該反向致能電壓訊號、該迴授節點、以及一第二電壓源，該第二放電電晶體係用來依據該反向致能電壓訊號操作以開關控制是否導通該迴授節點與該第二電壓源；以及一負載模組，電連於該輸出節點、該迴授節點、以及該第二電壓源。另外，包含至少一濾波電容 (Bypass Capacitor)，電連於該放大器電路之該第二接收端，用來濾除至少一射頻干擾訊號。

本發明之另一目的為提供一種用於一穩壓電路中快速終止 (Disable) 該穩壓電路之運作的方法，該穩壓電路包含有



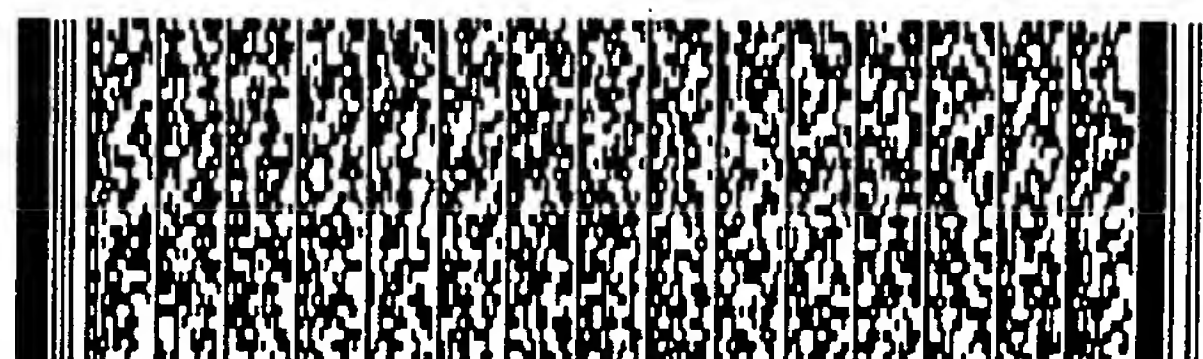
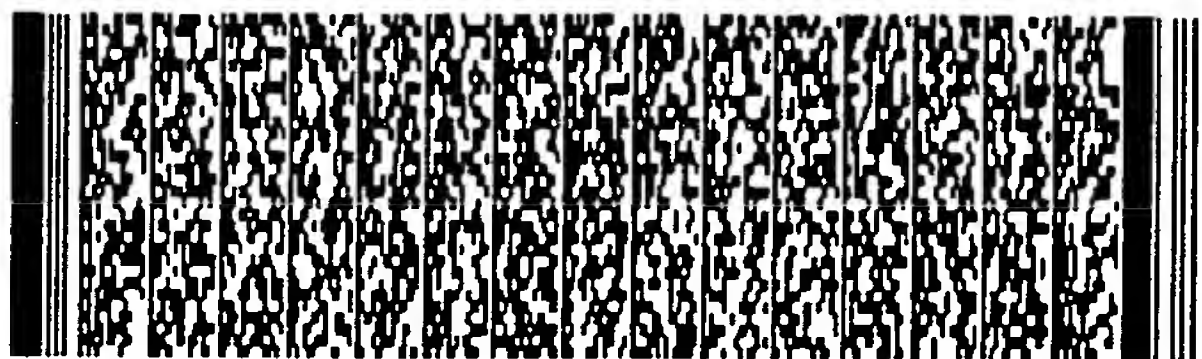
五、發明說明 (7)

一放大器電路 (Amplifier)，用來依據一致能電壓訊號 (Enable Voltage Signal) 輸出一驅動電壓；一輸出電晶體，電連於該放大器電路、一輸出節點、以及一第一電壓源，用來依據該驅動電壓調整控制一輸出電壓於該輸出節點；一第一放電電晶體 (Discharge Transistor)，電連於該致能電壓訊號、該輸出節點、以及一迴授節點；以及一第二放電電晶體，電連於該致能電壓訊號、該迴授節點、以及一第二電壓源；該方法包含有 (a) 使用該致能電壓訊號停止該放大器電路之運作，以使該驅動電壓關閉該輸出電晶體，終止調整控制一輸出電壓於該輸出節點；(b) 於步驟 (a) 中，使用該致能電壓訊號開啟該第一放電電晶體，導通該輸出節點與該迴授節點，以使位於該輸出節點之該輸出電壓被快速拉低 (Pull-down) 至接近位於該迴授節點之電壓值；以及 (c) 於步驟 (a) 中，使用該致能電壓訊號開啟該第二放電電晶體，導通該迴授節點與該第二電壓源，以使位於該迴授節點之電壓值被快速拉低至接近該第二電壓源之電壓值。另外，包含 (d) 於步驟 (c) 中，當該第二放電電晶體導通該迴授節點與該第二電壓源時，將該迴授電壓快速拉低至接近該第二電壓源之電壓值；(e) 於步驟 (d) 中，使用該濾波電容濾除至少一射頻干擾訊號；以及 (f) 於步驟 (a) 中，當該致能電壓訊號停止該放大器電路之運作時，開啟該終止電晶體以快速關閉該輸出電晶體，終止導通該輸出節點與該迴授節點。



【實施方法】

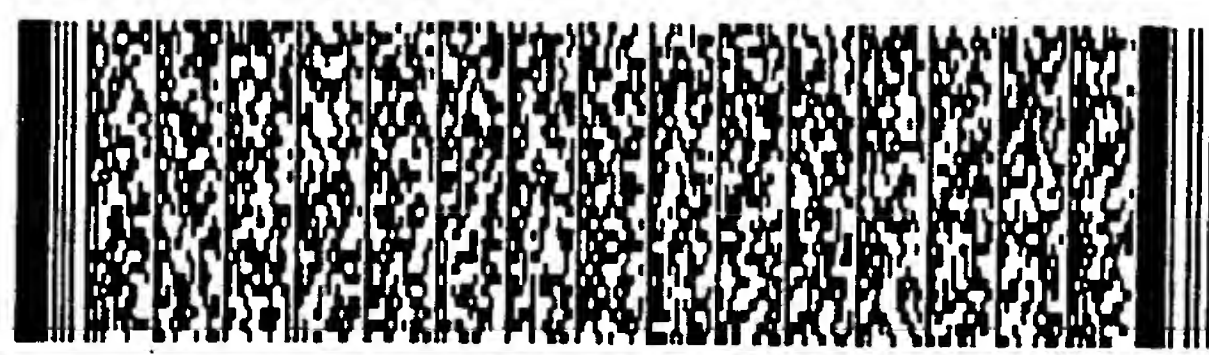
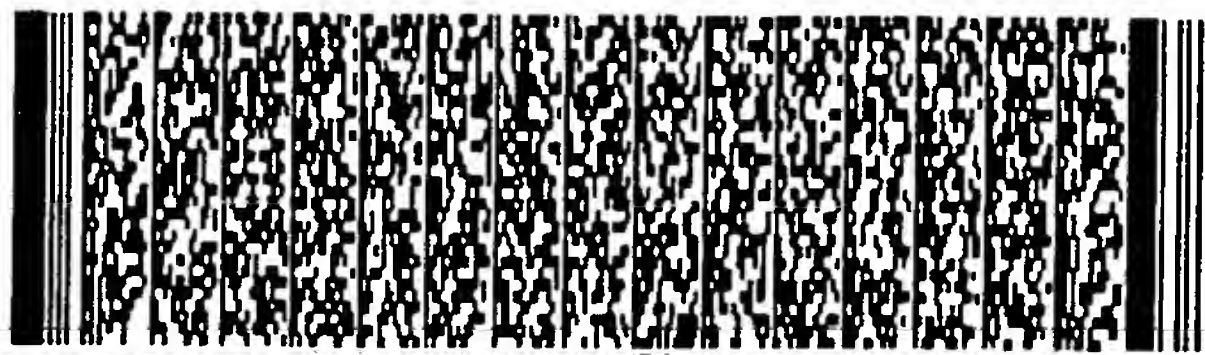
本發明之技術特徵為強調一低雜訊穩壓電路於終止運作 (Disable) 時的操作情形。請參閱圖二，圖二為本發明一 (低雜訊) 穩壓電路 30 之一實施例的示意圖。請注意，圖二所示之穩壓電路 30 係以複數個金屬氧化半導體 (MOS) 電晶體及相關電路元件完成，而在實際實施時，此複數個金屬氧化半導體電晶體可用別種電晶體，如雙載子電晶體 (BJT) 來加以完成。請見圖二，穩壓電路 30 包含有一放大器電路 32 (Amplifier)、一輸出電晶體 34、一反向器 40 (Inverter)、一第一放電電晶體 41 (Discharge Transistor)、一第二放電電晶體 42、與一負載模組 36。實際實施時，放大器電路 32 可為一運算放大器 (Operational Amplifier) 或一差動放大器 (Differential Amplifier)；放大器電路 32 包含一輸出端 NP1、一第一接收端 NA1 及一第二接收端 NA2，第一接收端 NA1 可接收一參考電壓，而第二接收端 NA2 可接收一迴授電壓 (Feedback Voltage)，放大器電路 32 另接收一致能電壓訊號 ENABLE (Enable Voltage Signal)，用來控制其運作與否，在放大器電路 32 進行運作時，放大器電路 32 會依據參考電壓、迴授電壓、以及致能電壓訊號 ENABLE 於輸出端 NP1 輸出一驅動電壓。如前所述，本實施例中的電晶體均以金屬氧化半導體電晶體完成，因此，每一電晶體具有三終端與外部電路相接，分別為一閘極 (Gate)、一汲極 (Drain)、以及



五、發明說明 (9)

一源極 (Source)。放大器電路 32 之輸出端 NP1 連接至輸出電晶體 34 之閘極，而該輸出電晶體 34 之汲極電連於一輸出節點 NOUT，源極電連於一第一電壓源 VCC。第一電壓源 VCC 用來提供一高準位之電壓值，而輸出節點 NOUT 會連接至一外接電路元件 38。當穩壓電路 30 處於運作狀態時，放大器電路 32 會輸出適當準位之驅動電壓，開啟輸出電晶體 34 並因此調整控制一輸出電壓 (Output Voltage) 於輸出節點 NOUT，供應外接電路元件 38 運作時的電力需求。

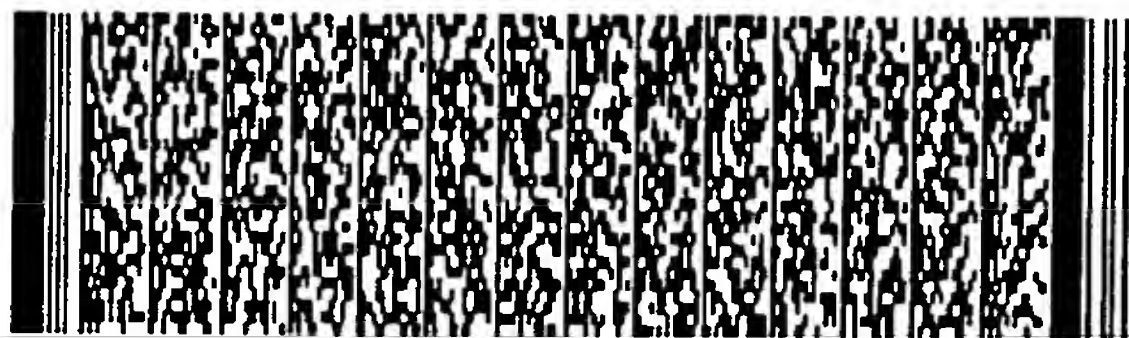
負載模組 36 包含有一負載電容 CL 與用來分壓的第一、第二負載電阻 RL1、RL2，負載電容 CL 連接於輸出節點 NOUT 與第二電壓源 VSS 之間，其中之第二電壓源 VSS 可提供一接地 (Ground) 電壓或一低準位之電壓值。第一負載電阻與該第二負載電阻 RL1、RL2 係以串聯 (Series Connection) 的方式相互連接，第一負載電阻連接於輸出節點 NOUT 與一迴授節點 NF1 之間、而第二負載電阻 RL1、RL2 連接於迴授節點 NF1 與第二電壓源 VSS 之間，如此一來，迴授節點 NF1 上的電壓值即介於輸出電壓與第二電壓源 VSS 提供之電壓值之間，而此迴授節點 NF1 又電連至放大器電路 32 之第二接收端 NA2，於是，經過第一與第二負載電阻 RL1、RL2 分壓後落於迴授節點 NF1 上的電壓值，即可作為放大器電路 32 之迴授電壓。請繼續參閱圖二，第一放電電晶體 41 之源極與第二放電電晶體 42 之汲極於迴授節點 NF1 相互連接，且第一放電電晶體 41 與第二放電電晶體 42 皆為 N 型通道金屬氧



五、發明說明 (10)

化半導體 (NMOS) 電晶體。第一放電電晶體 41 之閘極電連於反向器 40，汲極電連於輸出節點 NOUT，第二放電電晶體 42 之閘極亦電連於反向器 40，源極電連於第二電壓源 VSS。反向器 40 用來將致能電壓訊號 ENABLE 轉換為一反向致能電壓訊號 IN_ENABLE，並將該反向致能電壓訊號 IN_ENABLE 提供予第一放電電晶體 41 及第二放電電晶體 42，如此一來，第一放電電晶體 41 及第二放電電晶體 42 之開啟與否，是依據反向器 40 產生之反向致能電壓訊號 IN_ENABLE 的電壓準位高低來決定。

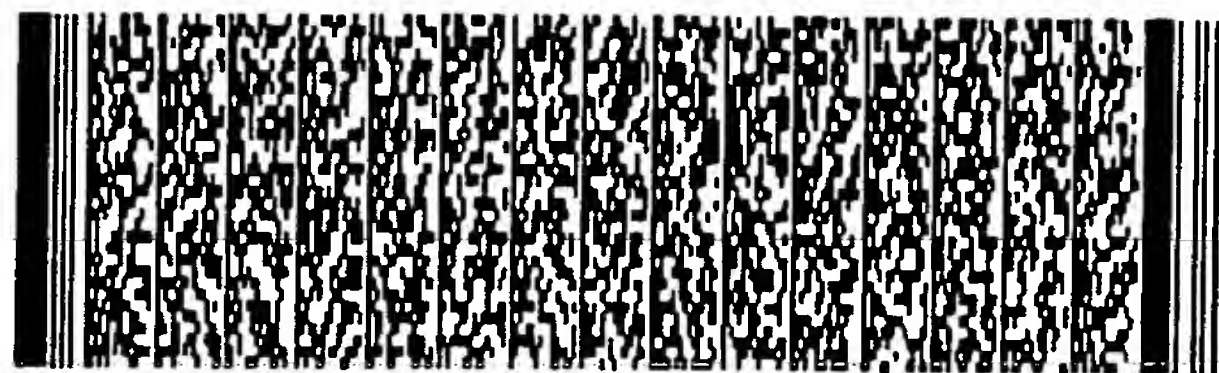
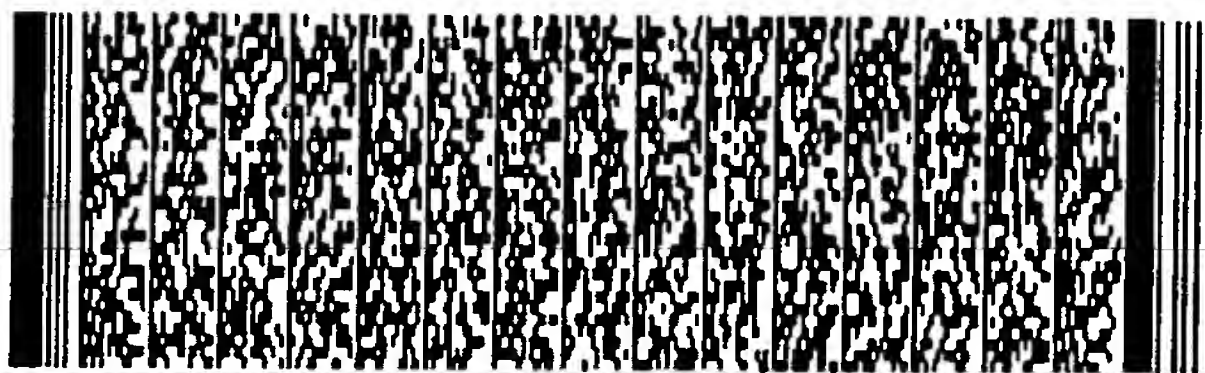
當欲終止該穩壓電路 30 之運作時，致能電壓訊號 ENABLE 會提供一低準位之直流電壓至放大器電路 32，隨後放大器電路 32 會於輸出端 Np1 輸出一高準位的驅動電壓至輸出電晶體 34 之閘極，以關閉輸出電晶體 34，不再導通第一電壓源 VCC 與輸出節點 NOUT，以停止提供正向電壓至該輸出節點 NOUT。在此同時，反向器 40 則將低準位之致能電壓訊號 ENABLE 轉換高準位之反向致能電壓訊號 IN_ENABLE，並將此高準位之反向致能電壓訊號 IN_ENABLE 傳送至第一放電電晶體 41 及第二放電電晶體 42 之閘極。由於第一及第二放電電晶體 41、42 為 N 型通道金屬氧化半導體電晶體，高準位之反向致能電壓訊號 IN_ENABLE 會開啟第一放電電晶體 41，導通輸出節點 NOUT 與迴授節點 NF1，同時，第二放電電晶體 42 亦會被開啟，該迴授節點 NF1 與第二電壓源 VSS 相互導通，使得迴授節點 NF1 上之迴授電壓被快速拉低



五、發明說明 (11)

(Pull-down)至接近第二電壓源 VSS提供之低準位電壓值，並由於第一及第二放電電晶體 41、42皆具有很小的阻抗值，位於輸出節點 NOUT之輸出電壓會選擇透過第一及第二放電電晶體 41、42快速放電，避免了負載模組 36中之 RC 電路對放電時間的延遲，大幅降低放電所需的時間。

請注意，於本發明之本實施例中，利用兩個放電電晶體 (第一及第二放電電晶體 41、42) 的設置，並利用此二放電電晶體 22 (之源極與汲極) 於迴授節點 NF1 相互連接的設計，讓迴授節點 NF1 上之迴授電壓與輸出節點 NOUT 上之輸出電壓一併被快速拉低，同時達成了迅速終止運作 (Fast Disable) 與快速拉低放大器電路 32 之迴授電壓的兩項技術特徵，奠基於此，在穩壓電路 30 終止運作時，輸出節點 NOUT 應視為與迴授節點 NF1 相互導通，而非與第二電壓源 VSS (接地電壓或預設之低準位電壓) 直接導通。請繼續參閱圖二，為使本發明之穩壓電路 30 具有迴授低雜訊之技術特徵，穩壓電路 30 另包含一濾波電容 C_p (Bypass Capacitor)，此濾波電容 C_p 電連於放大器電路 32 之第二接收端 NA2，可濾除相關之射頻訊號並降低雜訊。請回頭參閱圖一，若欲在習知架構中設置此濾波電容 C_p ，則此濾波電容 C_p 會讓第二接收端 NA2 上之電壓調整的速度降低，同時拖慢了整個穩壓電路 30 終止運作時的速度，然而，在本發明圖三所示之穩壓電路 30 中，由於迴授電壓可透過第二放電電晶體 42 迅速拉低其電壓值，在降低雜訊的同時不會



五、發明說明 (12)

犧牲掉放電的速度與終止運作的效率，讓本發明之穩壓電路 30 輸出低雜訊、精準、且穩定的輸出電壓。

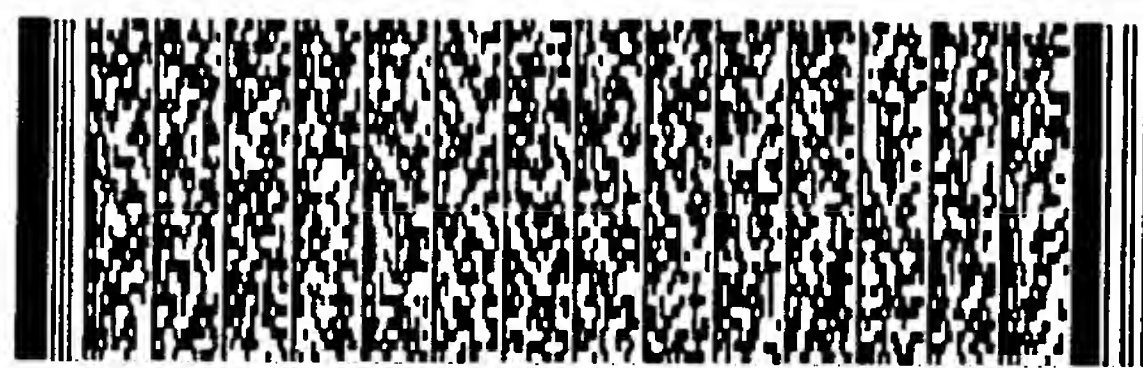
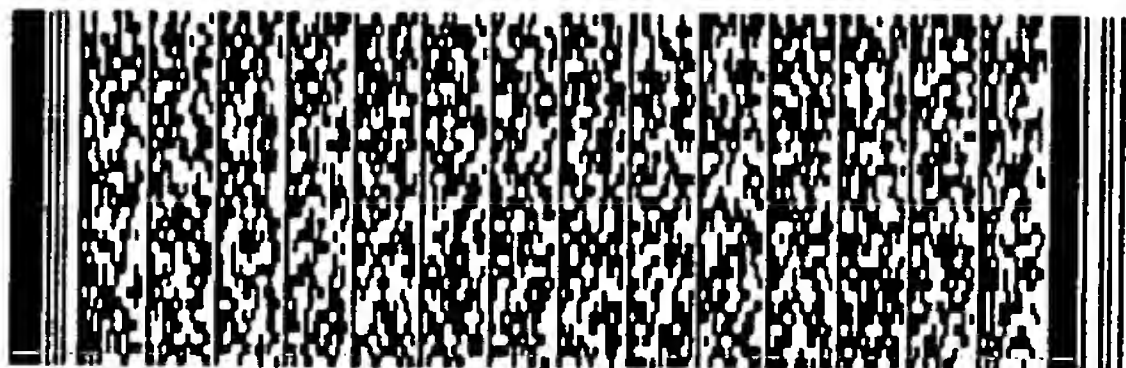
奠基於上述圖二實施例中之穩壓電路 30，並著眼於該穩壓電路 30 在終止運作時的操作情形，本發明用來快速終止該穩壓電路 30 之運作的方法實施例可歸納於下列步驟，並請見圖三，圖三為本發明一方法實施例之流程圖：

步驟 100：開始，準備終止穩壓電路 30 之運作；

步驟 102：在將放大器電路 32 終止運作之前，穩壓電路 30 於輸出節點 NOUT 輸出穩態的輸出電壓。當欲終止該穩壓電路 30 之運作時，使用致能電壓訊號 ENABLE 停止放大器電路 32 之運作（此時，致能電壓訊號 ENABLE 為一低準位之直流電壓訊號），使該放大器電路 32 輸出一高準位之驅動電壓，進而關閉（以一 P 型通道金屬氧化半導體電晶體完成之）輸出電晶體 34，停止導通第一電壓源 VCC 與輸出節點 NOUT，同時進行至步驟 104 與步驟 106；

步驟 104：使用反向器 40 將致能電壓訊號 ENABLE 轉換為反向致能電壓訊號 IN_ENABLE（高準位），使此高準位反向致能電壓訊號 IN_ENABLE 開啟第一放電電晶體 41，導通輸出節點 NOUT 與迴授節點 NF1，此時輸出電壓之值非常接近該迴授節點 NF1 上之迴授電壓，並進行至步驟 108；

步驟 106：利用反向器 40 轉換之高準位反向致能電壓訊號 IN_ENABLE 開啟第二放電電晶體 42，導通迴授節點 NF1 與第二電壓源 VSS，以使位於該迴授節點 NF1 之迴授電壓被快速

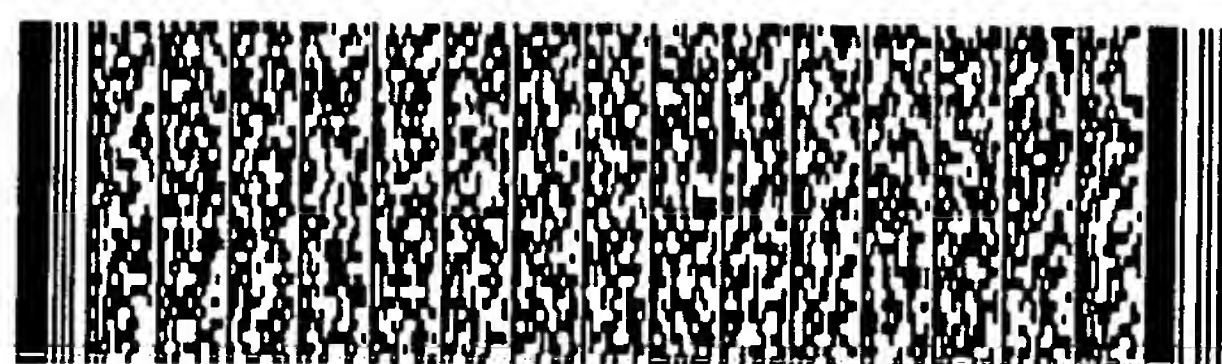
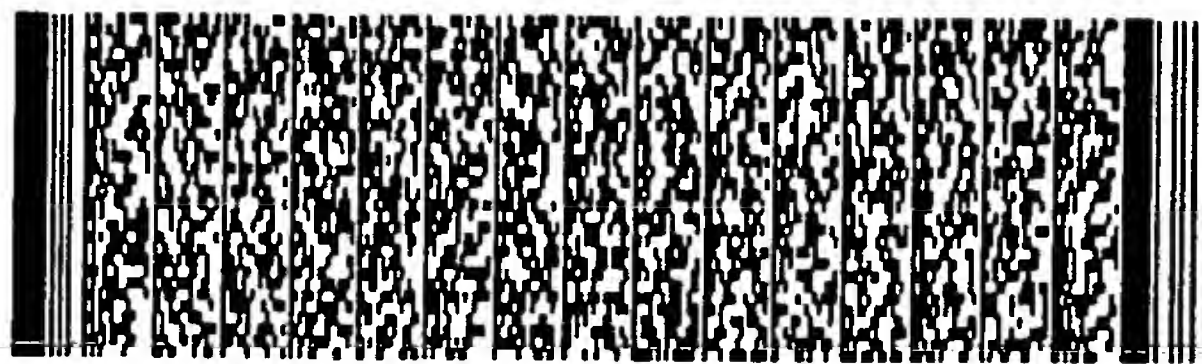


五、發明說明 (13)

拉低至接近該第二電壓源 VSS 之電壓值，進行步驟 108；

步驟 108：在進行完同時步驟 104 與步驟 106 後，位於該輸出節點 $NOUT$ 之輸出電壓亦會被快速拉低至接近第二電壓源 VSS 之（接地或預設之低）電壓值，完成本發明迅速終止穩壓電路 30 之運作的技術特徵。

事實上，在步驟 102 中，當低準位之致能電壓訊號 $ENABLE$ 輸入放大器電路 32，以停止放大器電路 32 之運作時，放大器電路 32 仍需耗費一定的時間將輸出之驅動電壓由低準位轉為高準位，為了更快速精準的終止放大器電路 32 的運作，最好能在致能電壓訊號 $ENABLE$ 由運作時的高準位一變為低準位後，驅動電壓能立刻反映致能電壓訊號 $ENABLE$ 的改變，在最短的時間內關閉輸出電晶體 34。請參閱圖四，圖四為本發明圖三穩壓電路 30 之另一實施例的示意圖。承襲圖二實施例的基本架構與技術特徵，圖四之穩壓電路 30 只多新增了一 P 型通道金屬氧化半導體電晶體，作為「終止電晶體 44」。終止電晶體 44 之閘極、汲極、以及源極分別電連於致能電壓訊號 $ENABLE$ 、輸出電晶體 34 之閘極、與一高準位電壓源，在實際實施時，可用第一電壓源 VCC 提供該高準位之電壓。在本發明揭露之架構下，終止電晶體 44 可依據致能電壓訊號 $ENABLE$ 以調整驅動電壓之值。當致能電壓訊號 $ENABLE$ 由高準位轉為低準位，欲停止放大器電路 32 之運作時，會同時開啟該終止電晶體 44，導通高準位電壓源與汲極，讓此高準位電壓迅速提昇位於輸出電晶體



五、發明說明 (14)

34之閘極的電壓值，亦即，將驅動電壓由低準位迅速拉至高準位，以快速關閉該輸出電晶體 34。

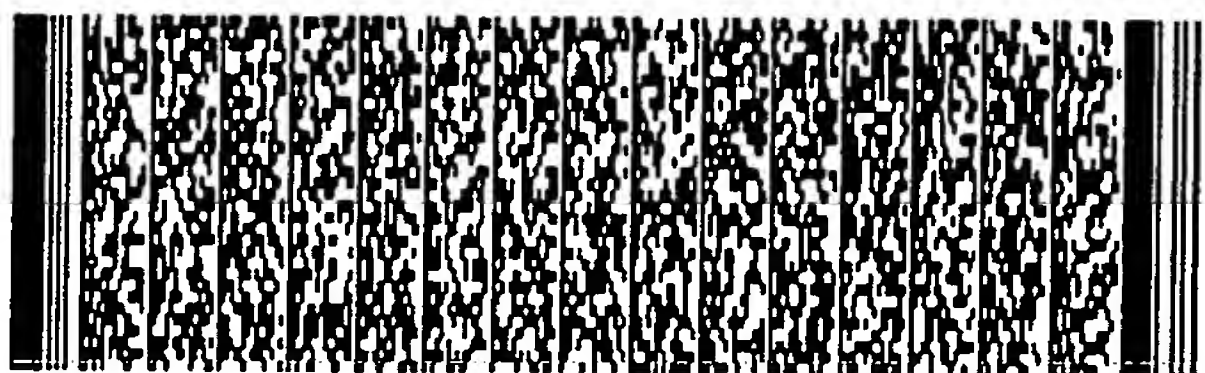
如此一來，奠基於上述圖四實施例之穩壓電路 30，可於圖三方法實施例之步驟 102中加入一相關步驟，請見圖五。

圖五為圖三另一方法實施例之流程圖，新增的步驟為：

步驟 103：當致能電壓訊號 ENABLE由一高準位之直流電壓訊號轉為一低準位之直流電壓訊號後，此低準位之致能電壓訊號 ENABLE會開啟終止電晶體 44，以快速提昇驅動電壓之值，迅速關閉輸出電晶體 34，終止導通該輸出節點 NOUT與該第一電壓源 VCC。

此外，在實際實施時，放電電晶體的數目可依設計者的需求增加，無須限定為兩個。由上述的各種實施例可知，本發明之低雜訊穩壓電路係以習知穩壓電路的架構為基礎，利用新增之至少二放電電晶體及一濾波電容，迅速拉低放大器電路之迴授電壓，並同時讓穩壓電路之輸出電壓透過放電電晶體快速放電，同時具備了低雜訊迴授降壓機制 (Low-noise Feedback Pull-low)及快速終止運作 (Fast Disable)之技術特徵，進一步降低雜訊並縮減放電時間，減少不必要的功率損耗，讓本發明之穩壓電路能真正提供低雜訊、精確、且穩定的輸出電壓。

上所述僅為本發明之較佳實施例，凡依本發明申請專利範



五、發明說明 (15)

圖所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為一習知穩壓電路之示意圖。

圖二為本發明一穩壓電路之一實施例的示意圖。

圖三為本發明一方法實施例之流程圖。

圖四為本發明圖二穩壓電路之另一實施例的示意圖。

圖五為圖三另一方法實施例之流程圖。

圖式之符號說明

10、30 穩壓電路

13 參考電壓產生器

16、36 負載模組

20、40 反向器

41 第一放電電晶體

44 終止電晶體

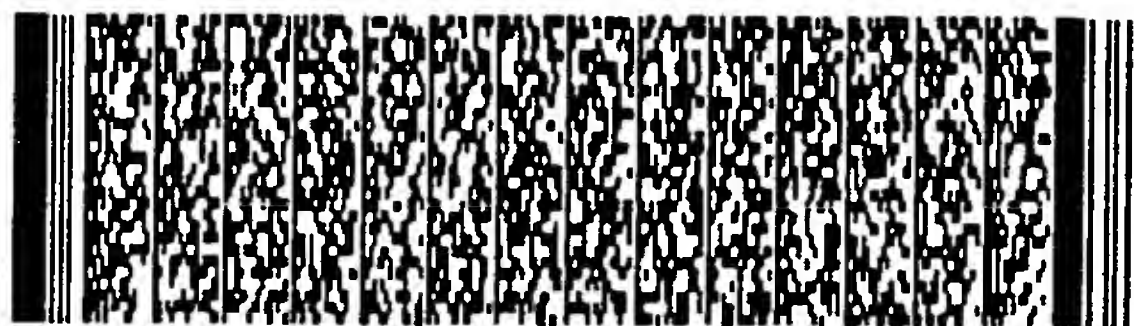
12、32 放大器電路

14、34 輸出電晶體

18、38 外部電路元件

22 放電電晶體

42 第二放電電晶體



六、申請專利範圍

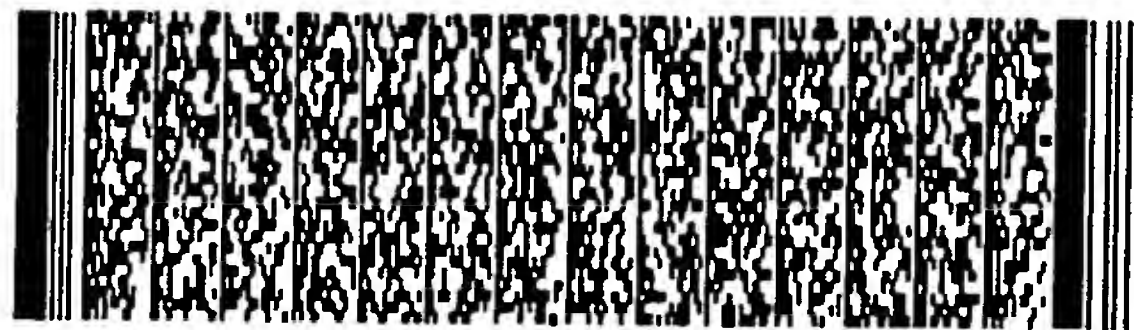
1. 一種穩壓電路 (Voltage Regulator Circuit)，用來於一輸出節點 (Output Node) 輸出至少一輸出電壓 (Output Voltage)，該穩壓電路包含有：

一放大器電路 (Amplifier)，包含一第一接收端及一第二接收端，用來分別接收一參考電壓 (Reference Voltage) 及一迴授電壓 (Feedback Voltage)，該放大器電路係依據該參考電壓、該迴授電壓、以及一致能電壓訊號 (Enable Voltage Signal) 以輸出一驅動電壓；

一輸出電晶體，包含三終端 (Port)，該三終端分別電連於該放大器電路、該輸出節點、以及一第一電壓源，並接收該驅動電壓，使該輸出電晶體係依據該驅動電壓操作以調整控制該輸出電壓於該輸出節點；

一第一放電電晶體 (Discharge Transistor)，包含三終端，該三終端分別電連於一反向致能電壓訊號、該輸出節點、以及一迴授節點，該第一放電電晶體係依據該反向致能電壓訊號操作以開關控制是否導通該輸出節點與該迴授節點，其中該迴授節點係電連於該第二接收端，可提供該迴授電壓予該放大器電路；

一第二放電電晶體，包含三終端，該三終端分別電連於該反向致能電壓訊號、該迴授節點、以及一第二電壓源，該第一放電電晶體係用來依據該反向致能電壓訊號操作以開關控制是否導通該迴授節點與該第二電壓源；以及一負載模組，電連於該輸出節點、該迴授節點、以及該第二電壓源。



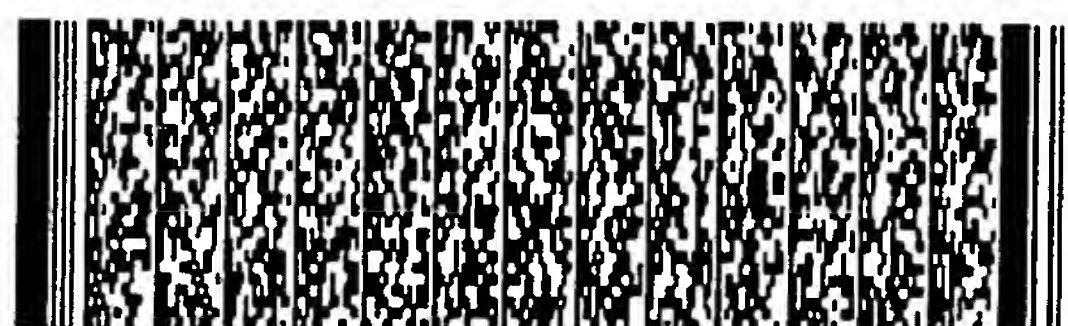
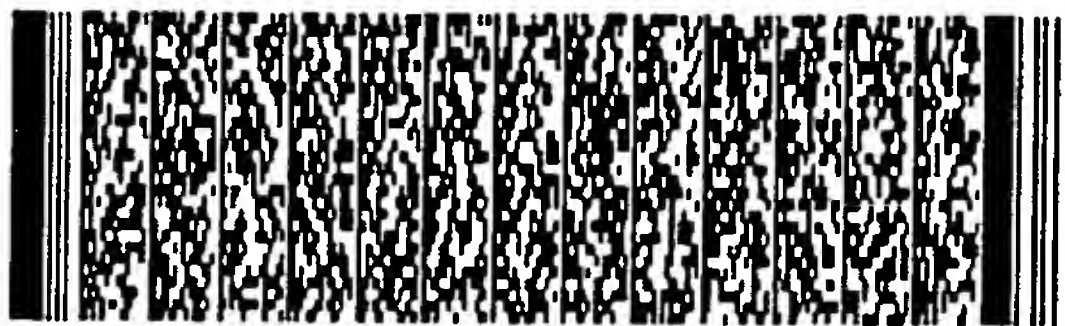
六、申請專利範圍

2. 如申請專利範圍第1項所述之穩壓電路，其另包含至少一濾波電容 (Bypass Capacitor)，電連於該放大器電路之該第二接收端，用來濾除至少一射頻干擾訊號 (RF Interference Signal)。

3. 如申請專利範圍第1項所述之穩壓電路，其中每一電晶體之三終端分別為一閘極 (Gate)、一汲極 (Drain)、以及一源極 (Source)；於該輸出電晶中，該閘極係電連於該放大器電路，該汲極係電連於該輸出節點，該源極係電連於該第一電壓源；於該第一放電電晶體中，該閘極係電連於該反向致能電壓訊號，該汲極係電連於該輸出節點，該源極係電連於該迴授節點；於該第二放電電晶體中，該閘極係電連於該反向致能電壓訊號，該汲極係電連於該迴授節點，該源極係電連於該第二電壓源。

4. 如申請專利範圍第3項所述之穩壓電路，其另包含一終止電晶體，該終止電晶體之閘極、汲極、以及源極，係分別電連於該致能電壓訊號、該輸出電晶體之閘極、以及該第一電壓源，其中該終止電晶體係依據該致能電壓訊號操作以開關控制是否導通該驅動電壓與該第一電壓源。

5. 如申請專利範圍第4項所述之穩壓電路，其中當該致能電壓訊號停止該放大器電路之運作並開啟該終止電晶體



六、申請專利範圍

時，該終止電晶體係控制該驅動電壓以關閉該輸出電晶體，以終止該調整準位之輸出電壓於該輸出節點。

6. 如申請專利範圍第4項所述之穩壓電路，其中該第一放電電晶體與該第二放電電晶體係分別為一N型通道金屬氧化半導體(NMOS)電晶體，而該輸出電晶體與該終止電晶體係分別為一P型通道金屬氧化半導體(PMOS)電晶體。

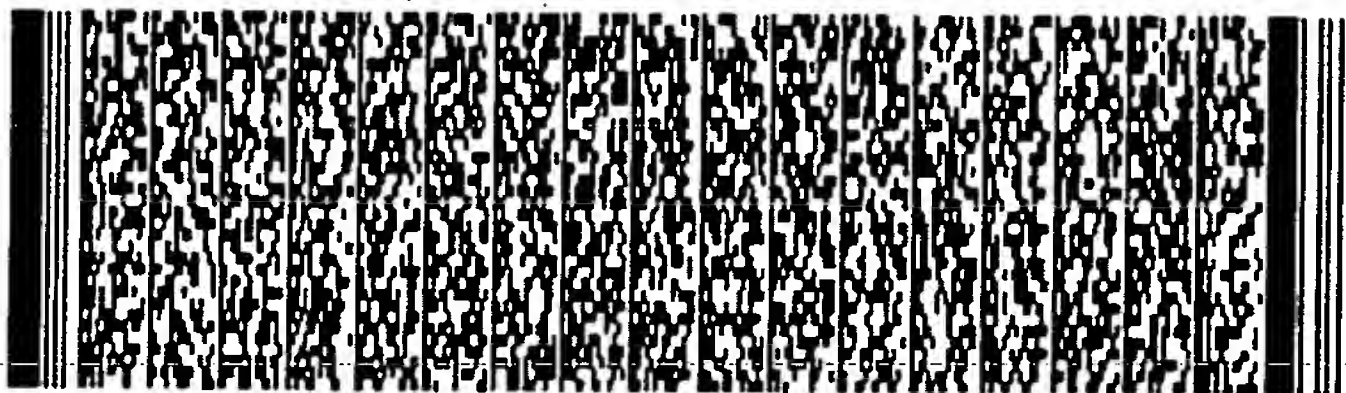
7. 如申請專利範圍第3項所述之穩壓電路，其中負載模組包含有：

一負載電容，連接於該輸出節點與該第二電壓源之間；
一第一負載電阻，連接於該輸出節點與該迴授節點之間；
以及

一第二負載電阻，連接於該迴授節點與該第二電壓源之間，其中該第一負載電阻與該第二負載電阻係以串聯(Series Connection)的方式相互連接。

8. 如申請專利範圍第1項所述之穩壓電路，其另包含有一反向器(Inverter)，電連至該第一放電電晶體及該第二放電電晶體之閘極，用來將該致能電壓訊號轉換為該反向致能電壓訊號，以提供該反向致能電壓訊號予該第一放電電晶體及該第二放電電晶體。

9. 如申請專利範圍第1項所述之穩壓電路，其中該第一電



六、申請專利範圍

壓源係提供一高準位之電壓，而第二電壓源係提供一接地 (Ground) 電壓或一低準位之電壓。

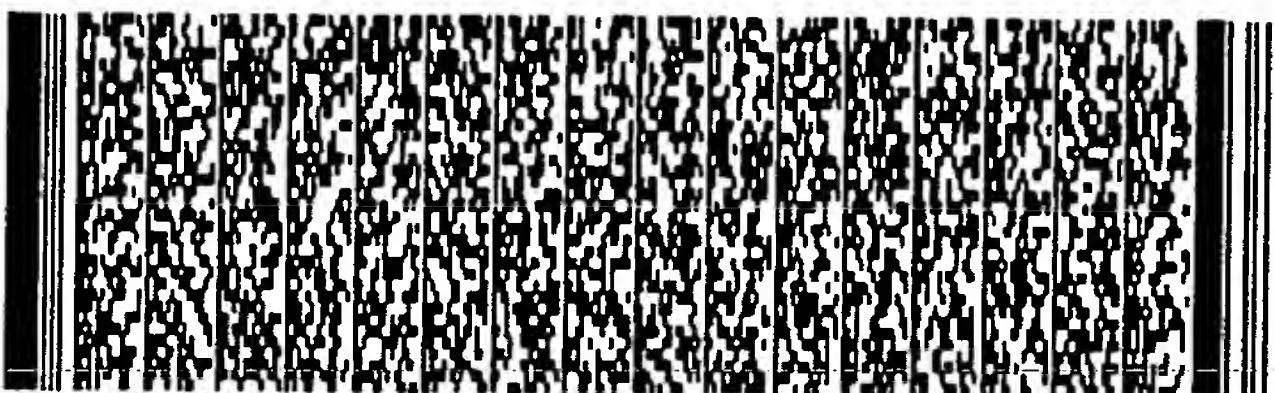
10. 如申請專利範圍第9項所述之穩壓電路，其中當該致能電壓訊號停止該放大器電路之運作時，該驅動電壓係關閉該輸出電晶體，以停止提供該調整準位之輸出電壓至該輸出節點。

11. 如申請專利範圍第9項所述之穩壓電路，其中當該致能電壓訊號停止該放大器電路之運作時，該反向致能電壓訊號係開啟該第一放電電晶體，導通該輸出節點與該迴授節點。

12. 如申請專利範圍第11項所述之穩壓電路，其中當該致能電壓訊號停止該放大器電路之運作時，該反向致能電壓訊號係開啟該第二放電電晶體，導通該迴授節點與該第二電壓源，以將該迴授電壓快速拉低 (Pull-down) 至接近該第二電壓源提供之電壓值。

13. 如申請專利範圍第1項所述之穩壓電路，其中該放大器電路係為一運算放大器 (Operational Amplifier) 或一差動放大器 (Differential Amplifier)。

14. 一種用於一穩壓電路中快速終止 (Disable) 該穩壓電



六、申請專利範圍

路之運作的方法，該穩壓電路包含有：

一放大器電路 (Amplifier)，用來依據一致能電壓訊號 (Enable Voltage Signal) 輸出一驅動電壓；

一輸出電晶體，電連於該放大器電路、一輸出節點、以及一第一電壓源，用來依據該驅動電壓調整控制一輸出電壓於該輸出節點；

一第一放電電晶體 (Discharge Transistor)，電連於該致能電壓訊號、該輸出節點、以及一迴授節點；以及

一第二放電電晶體，電連於該致能電壓訊號、該迴授節點、以及一第二電壓源；

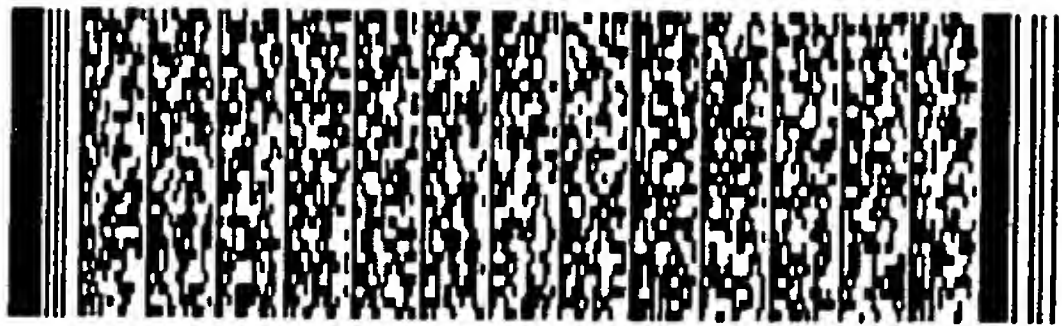
該方法包含有：

(a) 使用該致能電壓訊號停止該放大器電路之運作，以使該驅動電壓關閉該輸出電晶體，終止調整控制一輸出電壓於該輸出節點；

(b) 於步驟 (a) 中，使用該致能電壓訊號開啟該第一放電電晶體，導通該輸出節點與該迴授節點，以使位於該輸出節點之該輸出電壓被快速拉低 (Pull-down) 至接近位於該迴授節點之電壓值；以及

(c) 於步驟 (a) 中，使用該致能電壓訊號開啟該第二放電電晶體，導通該迴授節點與該第二電壓源，以使位於該迴授節點之電壓值被快速拉低至接近該第二電壓源之電壓值。

15. 如申請專利範圍第 14 項所述之方法，其中該放大器電



六、申請專利範圍

路包含一第一接收端及一第二接收端，用來分別接收一參考電壓 (Reference Voltage) 及一迴授電壓 (Feedback Voltage)，該第二接收端係電連於該迴授節點，使得位於該迴授節點之電壓值係為該迴授電壓，該方法另包含有：

(d) 於步驟 (c) 中，當該第二放電電晶體導通該迴授節點與該第二電壓源時，將該迴授電壓快速拉低至接近該第二電壓源之電壓值。

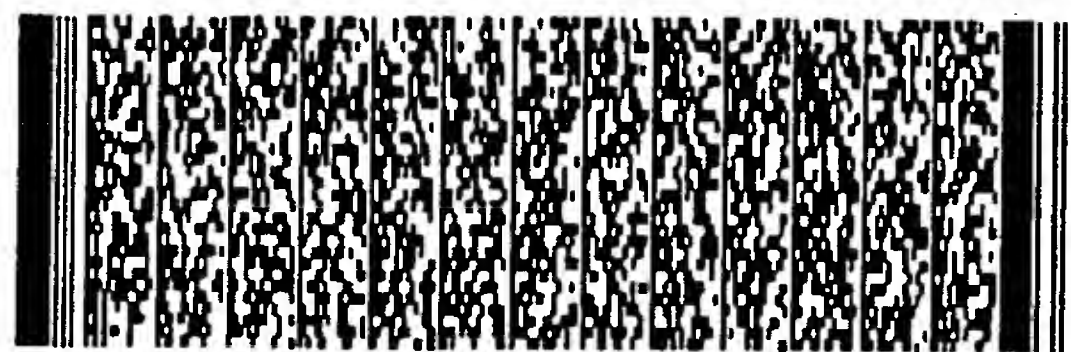
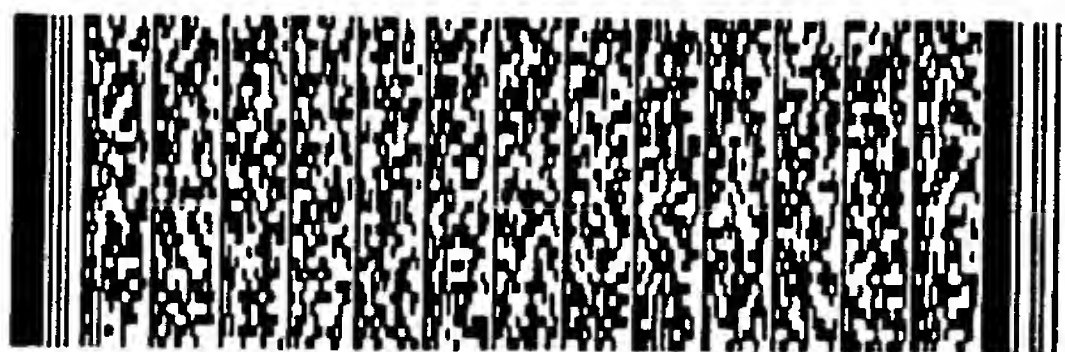
16. 如申請專利範圍第 15 項所述之方法，其中該穩壓電路另包含至少一濾波電容 (Bypass Capacitor)，電連於該放大器電路之該第二接收端，該方法另包含有：

(e) 於步驟 (d) 中，使用該濾波電容濾除至少一射頻干擾訊號 (RF Interference Signal)。

17. 如申請專利範圍第 14 項所述之方法，其中該穩壓電路另包含一終止電晶體，該終止電晶體係電連於該致能電壓訊號、該輸出電晶體、以及該第一電壓源，該方法另包含有：

(f) 於步驟 (a) 中，當該致能電壓訊號停止該放大器電路之運作時，開啟該終止電晶體以快速關閉該輸出電晶體，終止導通該輸出節點與該第一電壓源。

18. 如申請專利範圍第 14 項所述之方法，其中該第一電壓源係提供一高準位之電壓值，而第二電壓源係提供一接地



六、申請專利範圍

(Ground)電壓或一低準位之電壓值。

19. 如申請專利範圍第14項所述之方法，其中該穩壓電路另包含一負載模組，該負載模組包含有：

一負載電容，連接於該輸出節點與該第二電壓源之間；
一第一負載電阻，連接於該輸出節點與該迴授節點之間；
以及

一第二負載電阻，連接於該迴授節點與該第二電壓源之間，其中該第一負載電阻與該第二負載電阻係以串聯 (Series Connection) 的方式相互連接。

20. 如申請專利範圍第14項所述之方法，其中該穩壓電路另包含有一反向器 (Inverter)，電連至該第一放電電晶體及該第二放電電晶體，用來將該致能電壓訊號轉換為該反向致能電壓訊號，該方法另包含有：

(g)於步驟(b)中，使用該反向致能電壓訊號開啟該第一放電電晶體，以導通該輸出節點與該迴授節點；以及

(h)於步驟(c)中，使用該反向致能電壓訊號開啟該第二放電電晶體，以導通該迴授節點與該第二電壓源。

21. 如申請專利範圍第14項所述之方法，其中該輸出電晶體、該第一放電電晶體、以及該第二放電電晶體係分別為一氧化半導體 (MOS) 電晶體或一雙載子電晶體 (Bipolar junction transistor, BJT)。

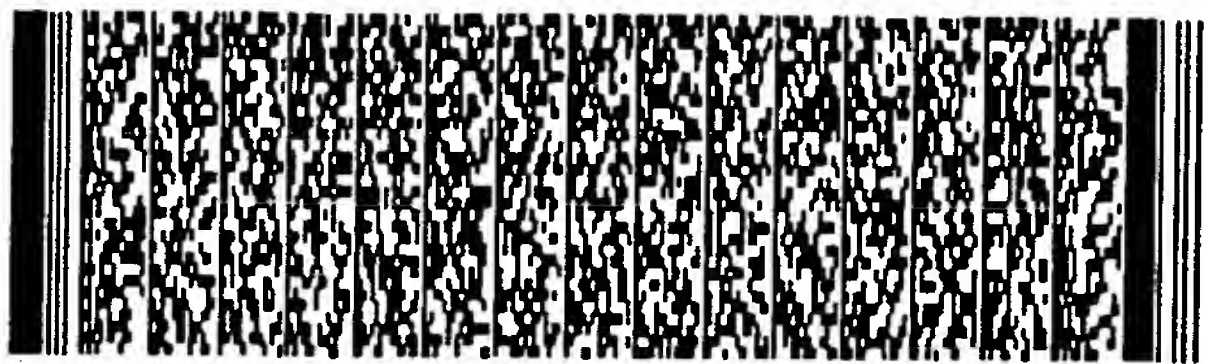


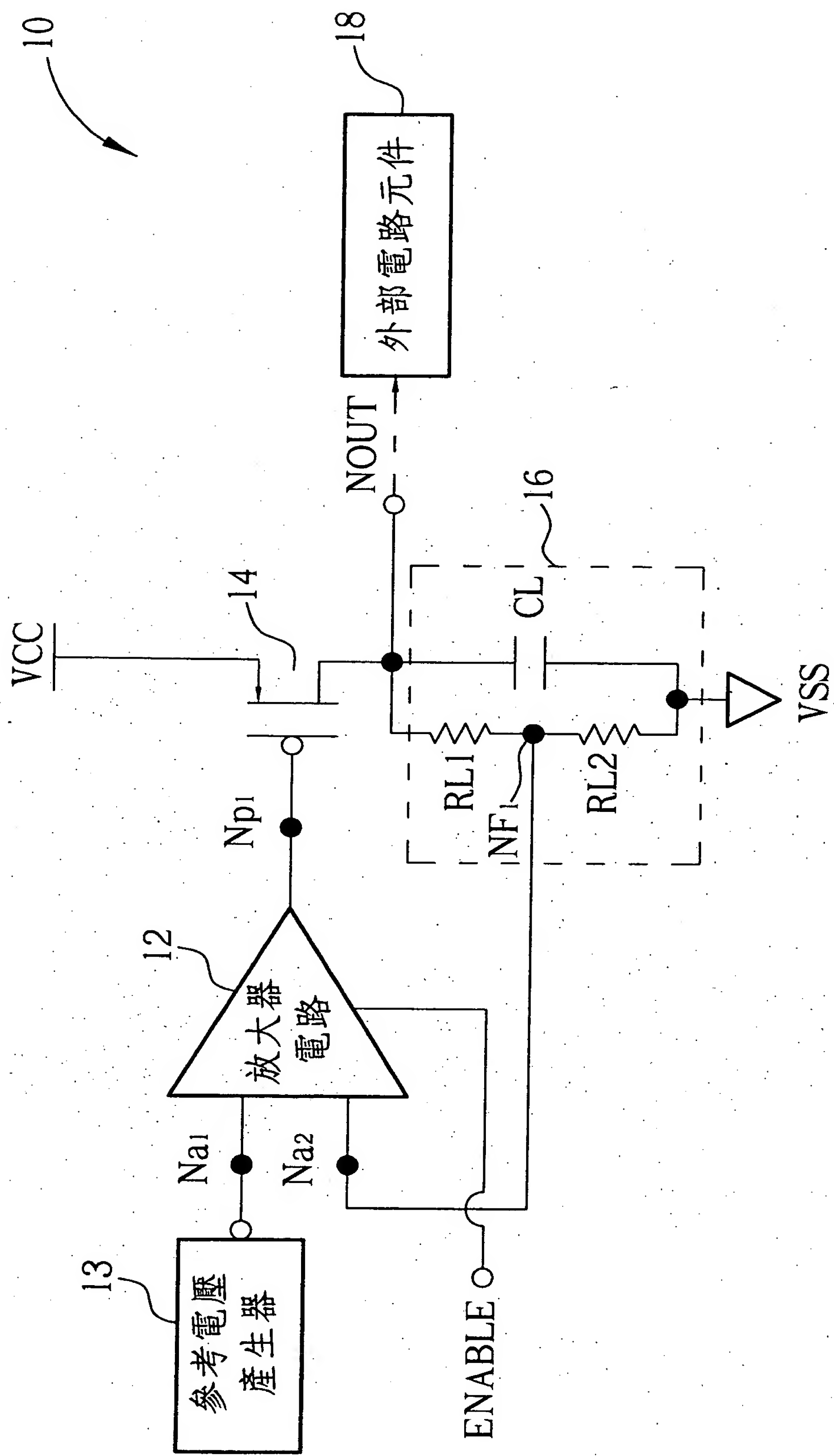
六、申請專利範圍

22. 如申請專利範圍第 21 項所述之方法，其中該第一放電電晶體與該第二放電電晶體係分別為一 N 型通道金屬氧化半導體 (NMOS) 電晶體，而該輸出電晶體係為一 P 型通道金屬氧化半導體 (PMOS) 電晶體。

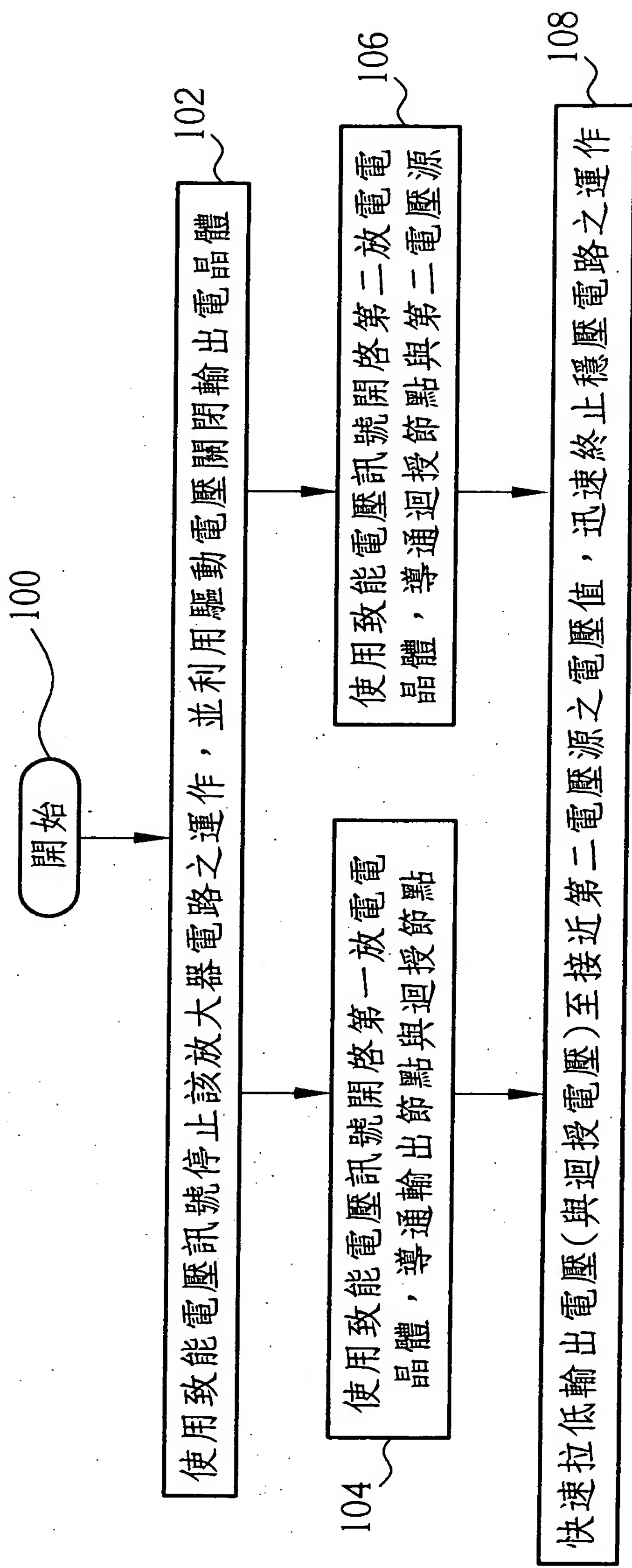
23. 如申請專利範圍第 22 項所述之方法，其中該輸出電晶體之閘極係電連於該放大器電路，該輸出電晶體之汲極係電連於該輸出節點，該輸出電晶體之源極係電連於該第一電壓源；該第一放電電晶體之閘極係電連於該致能電壓訊號，該第一放電電晶體之汲極係電連於該輸出節點，該第一放電電晶體之源極係電連於該迴授節點；該第二放電電晶體之閘極係電連於該致能電壓訊號，該第二放電電晶體之汲極係電連於該迴授節點，該第二放電電晶體之源極係電連於該第二電壓源。

24. 如申請專利範圍第 14 項所述之方法，其中該放大器電路係為一運算放大器 (Operational Amplifier) 或一差動放大器 (Differential Amplifier)。

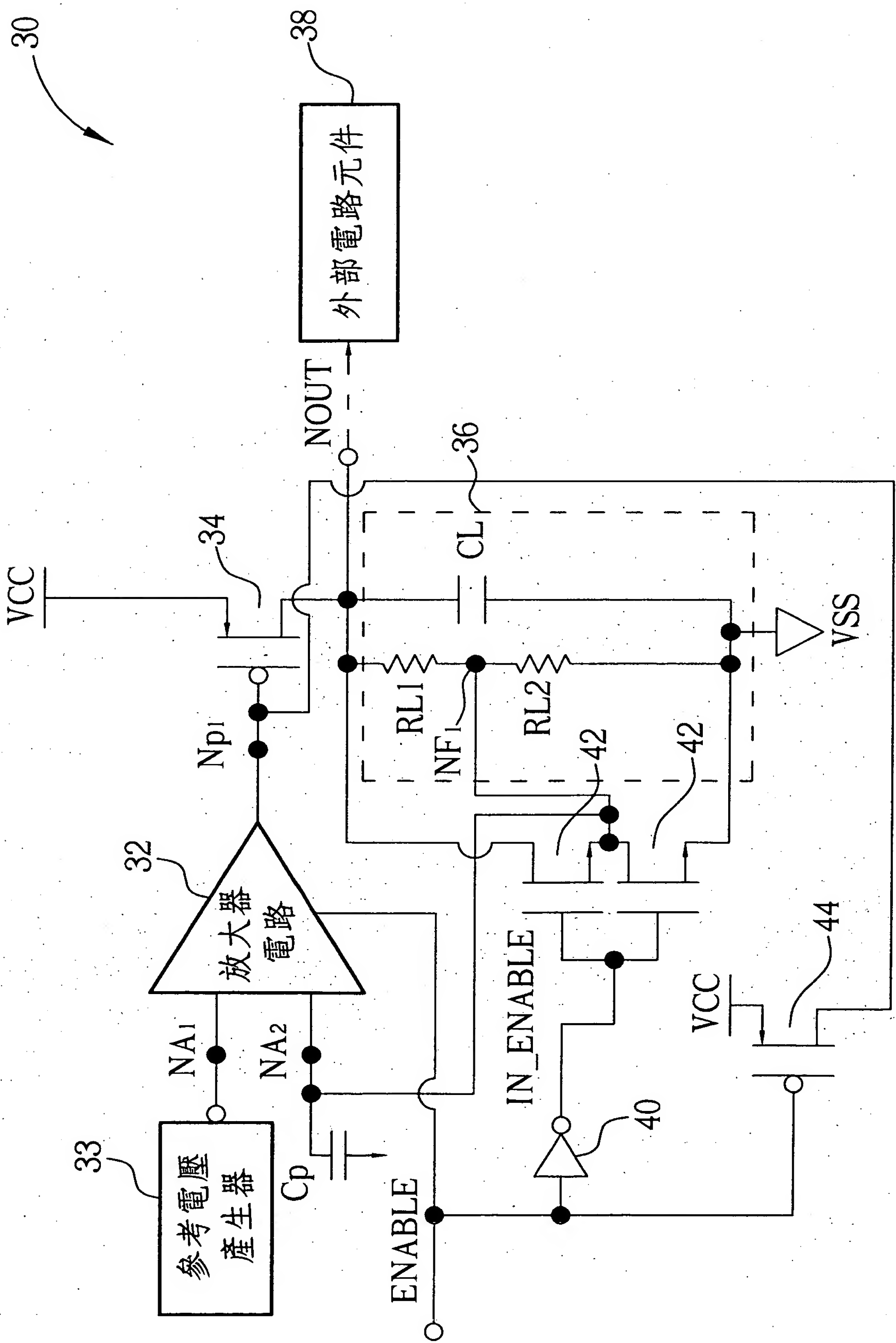




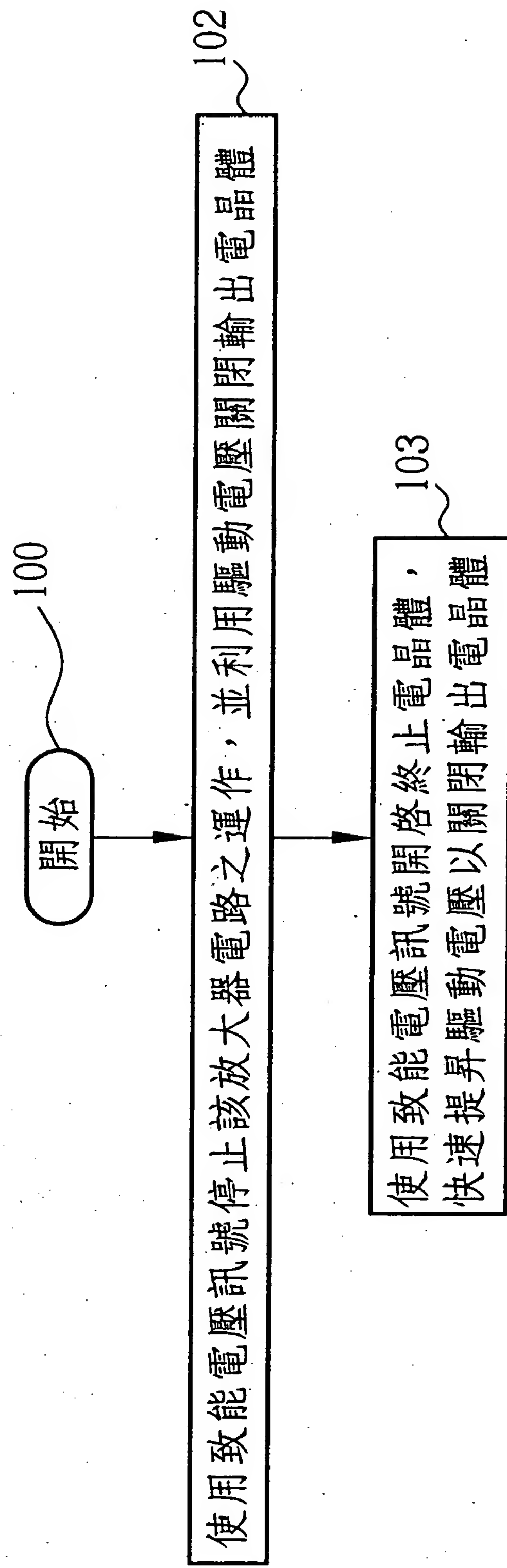
圖一



圖三

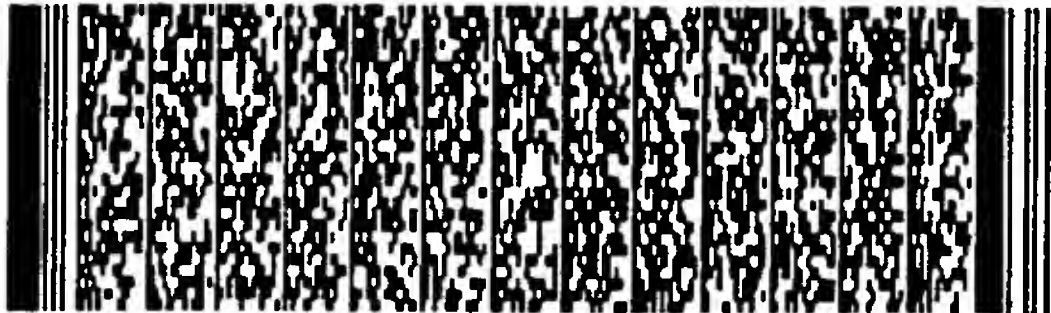


圖四

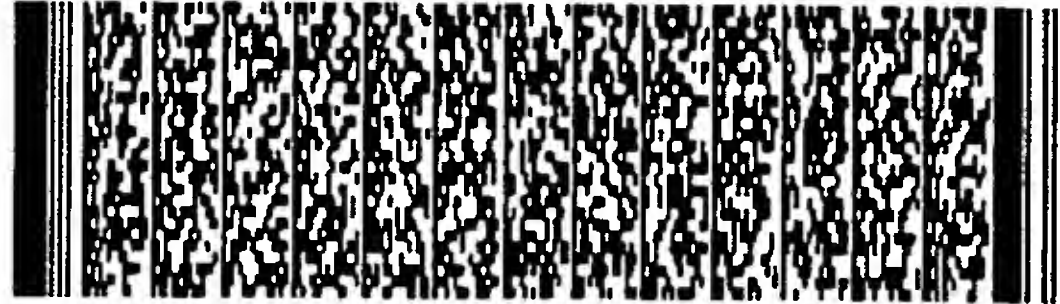


圖五

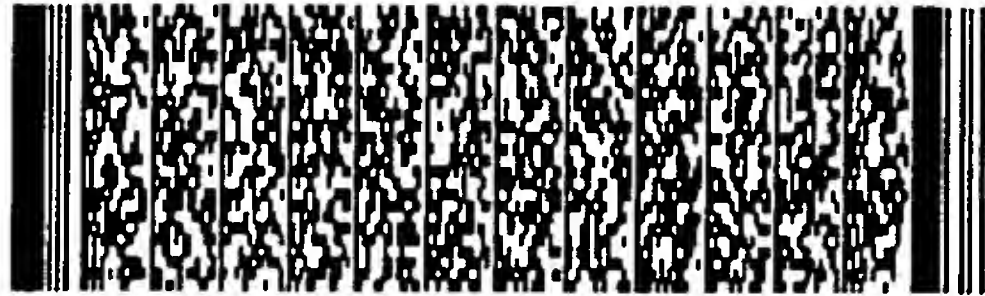
第 1/31 頁



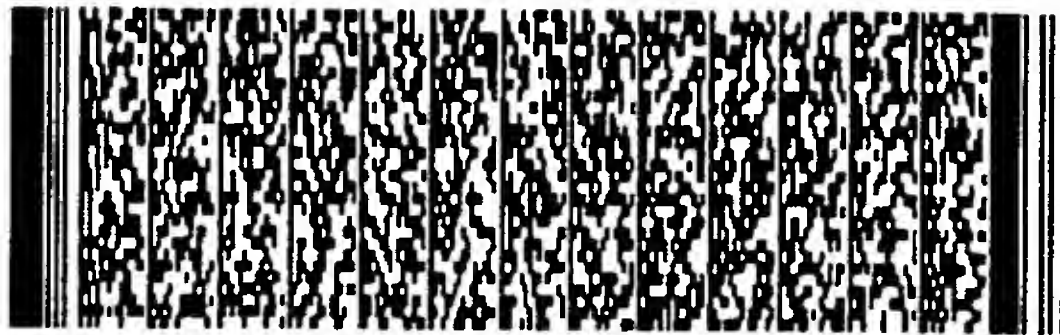
第 1/31 頁



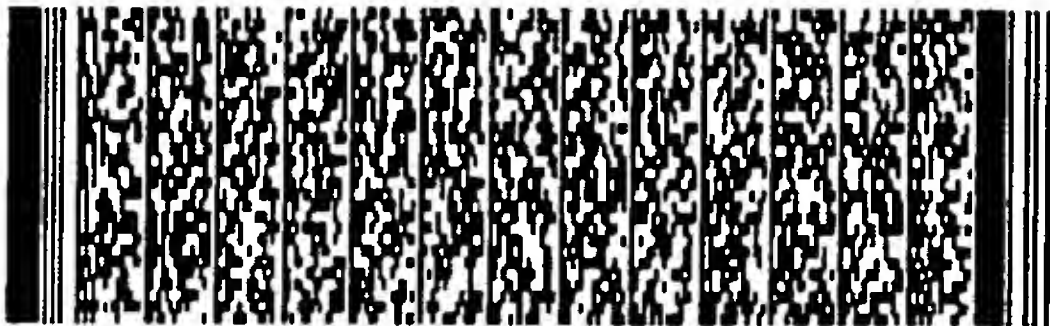
第 2/31 頁



第 3/31 頁



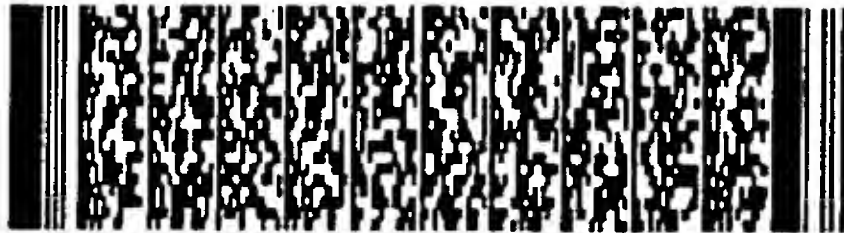
第 3/31 頁



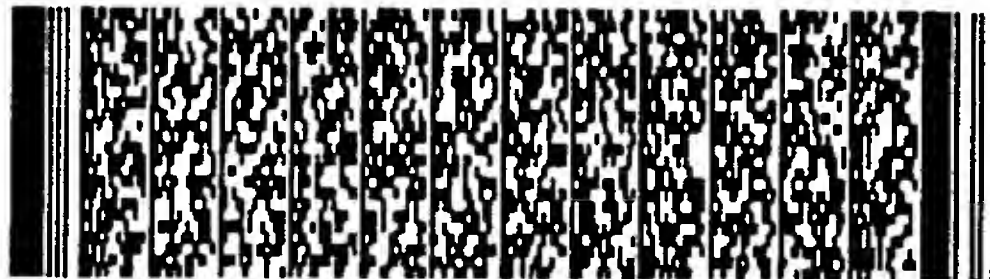
第 4/31 頁



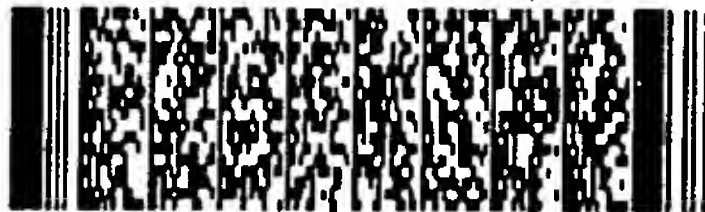
第 5/31 頁



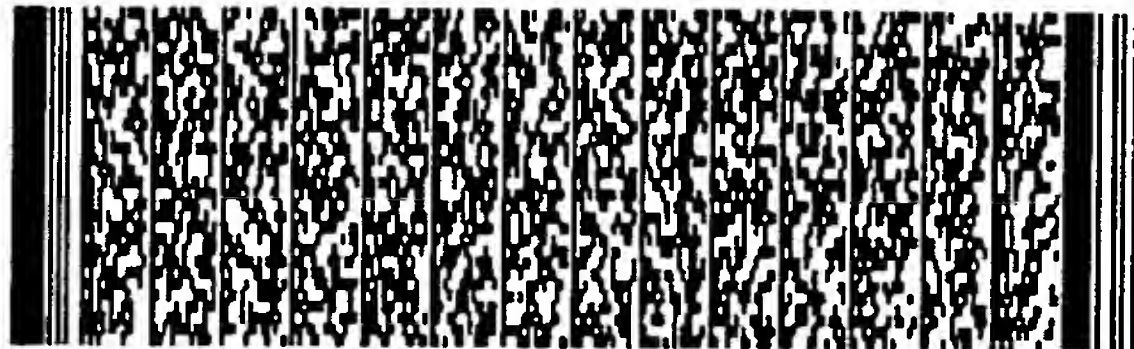
第 6/31 頁



第 7/31 頁



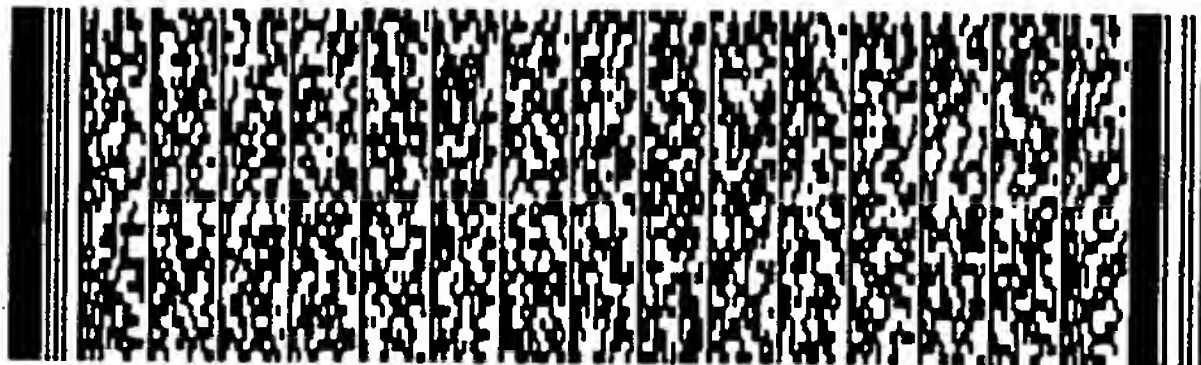
第 8/31 頁



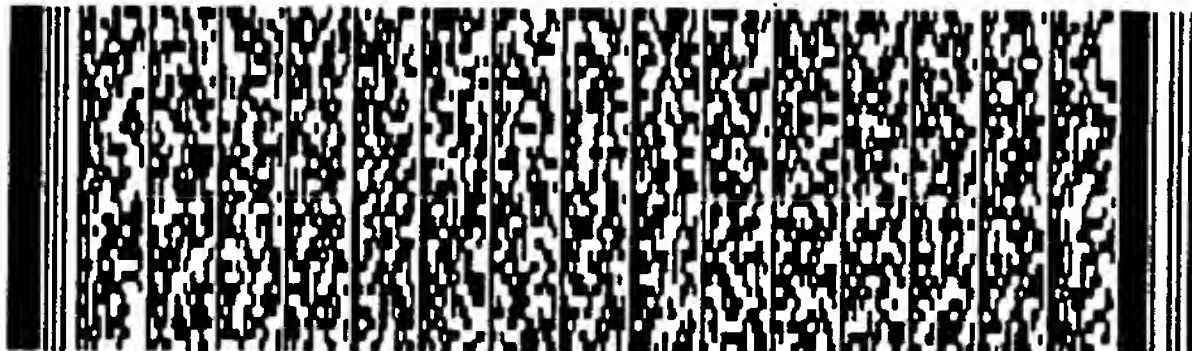
第 8/31 頁



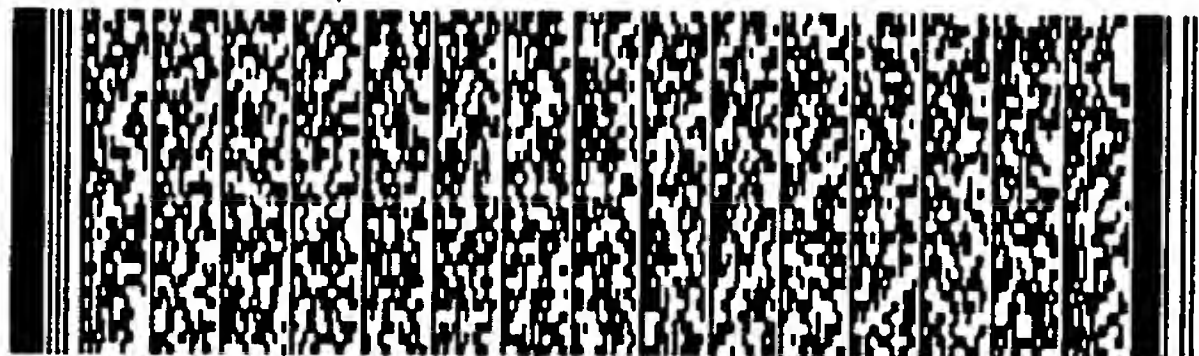
第 9/31 頁



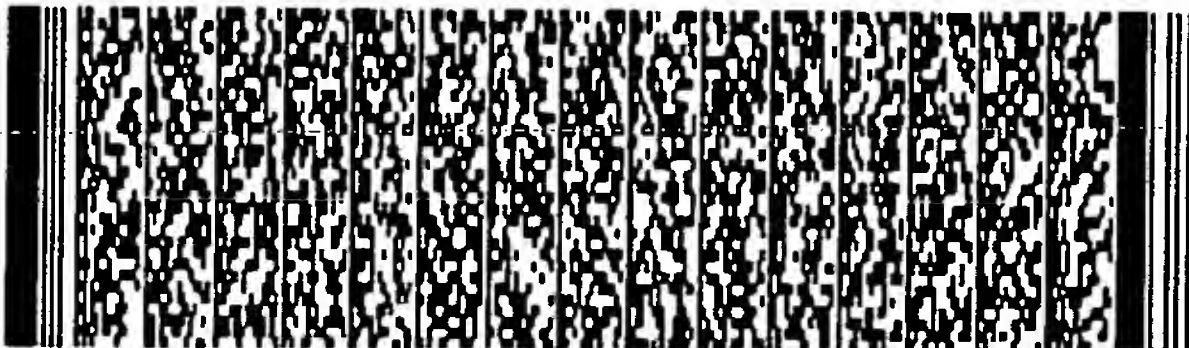
第 9/31 頁



第 10/31 頁



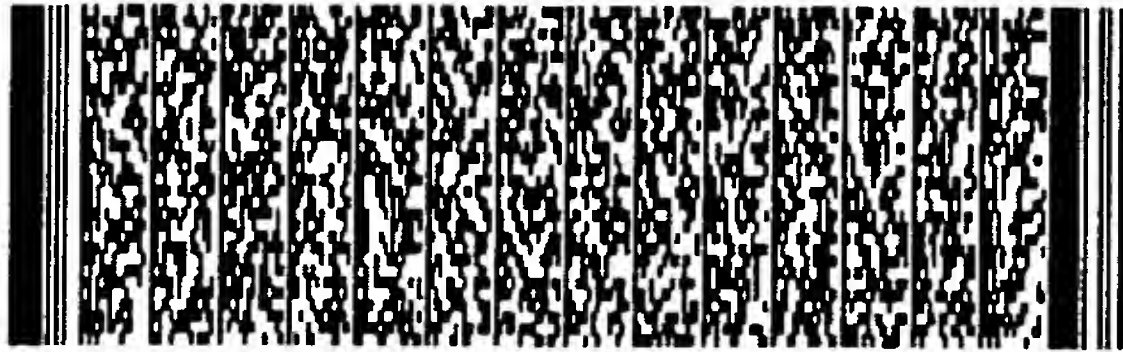
第 10/31 頁



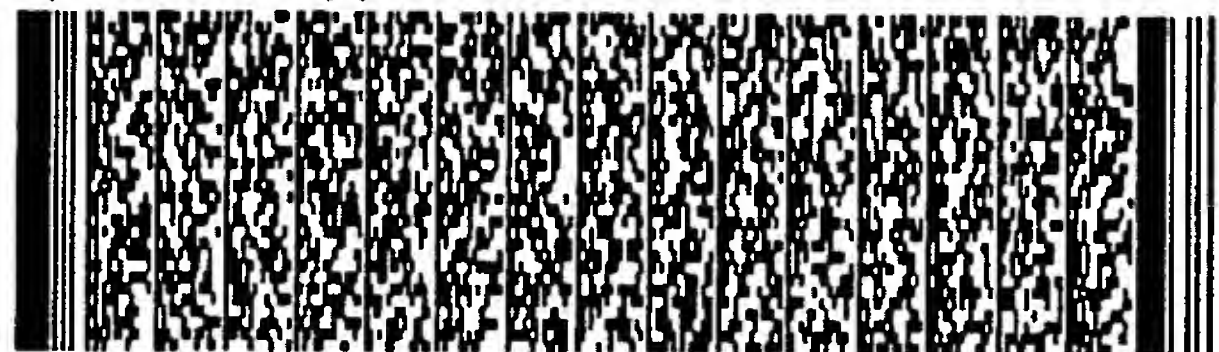
第 11/31 頁



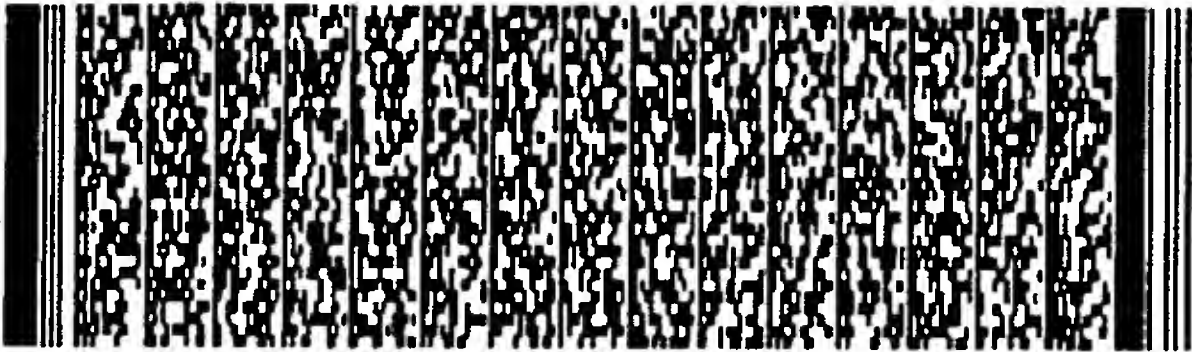
第 19/31 頁



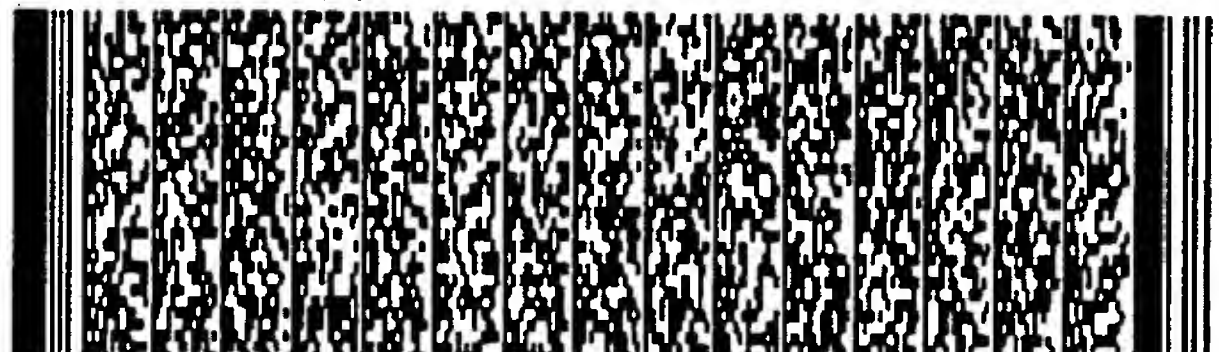
第 20/31 頁



第 20/31 頁



第 21/31 頁



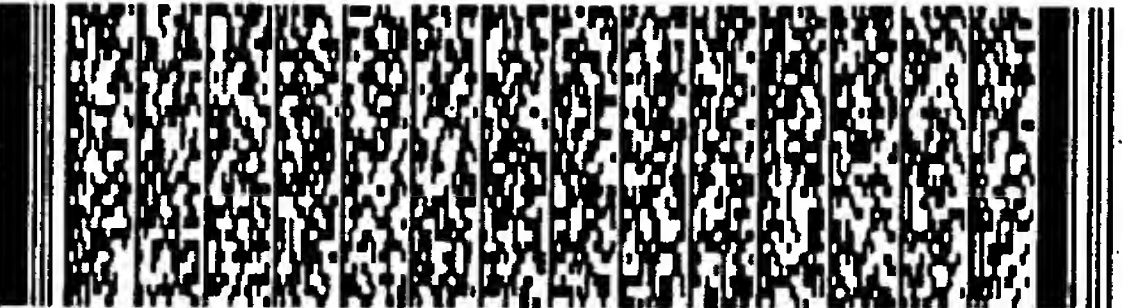
第 21/31 頁



第 22/31 頁



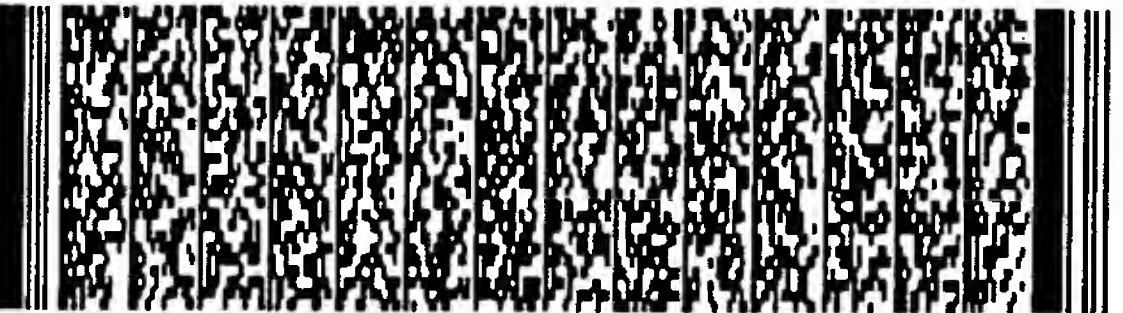
第 23/31 頁



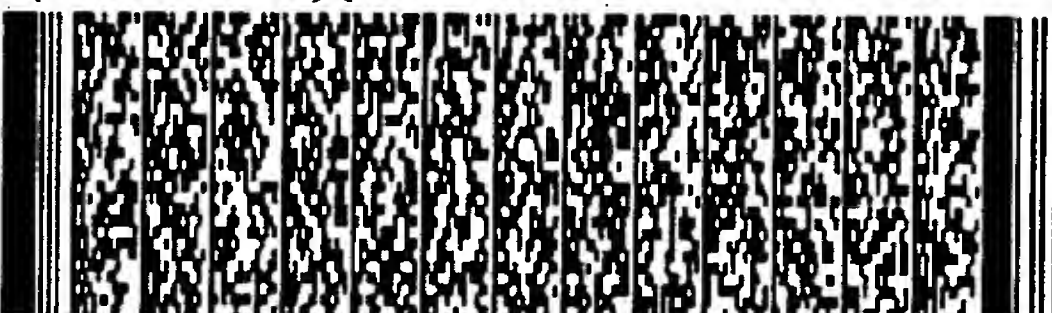
第 24/31 頁



第 24/31 頁



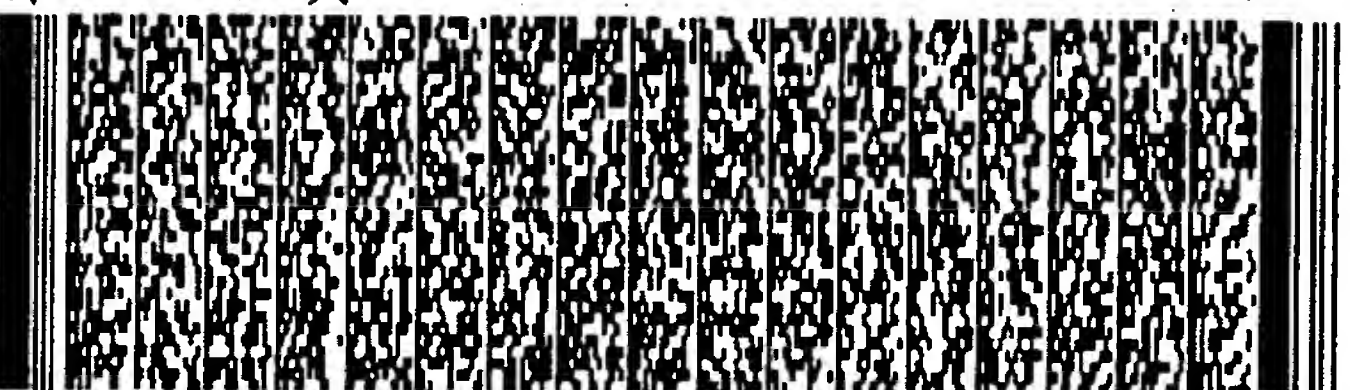
第 25/31 頁



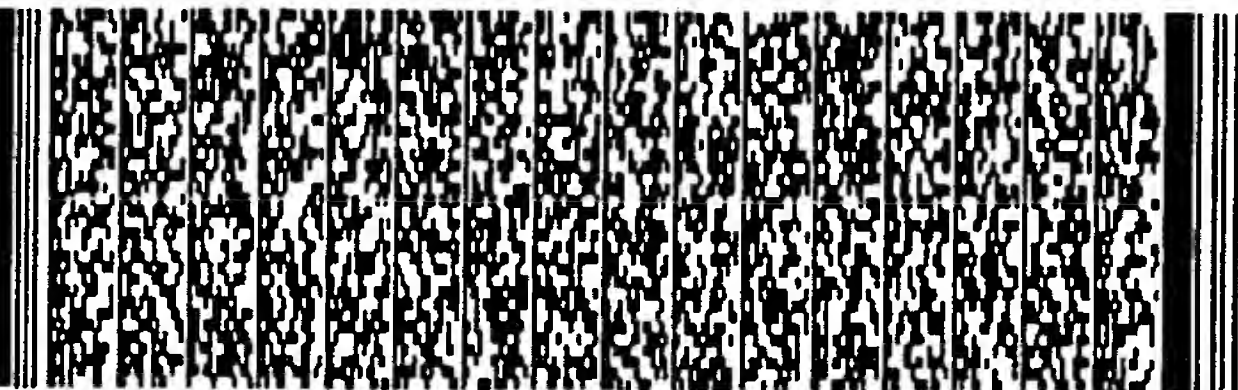
第 25/31 頁



第 26/31 頁



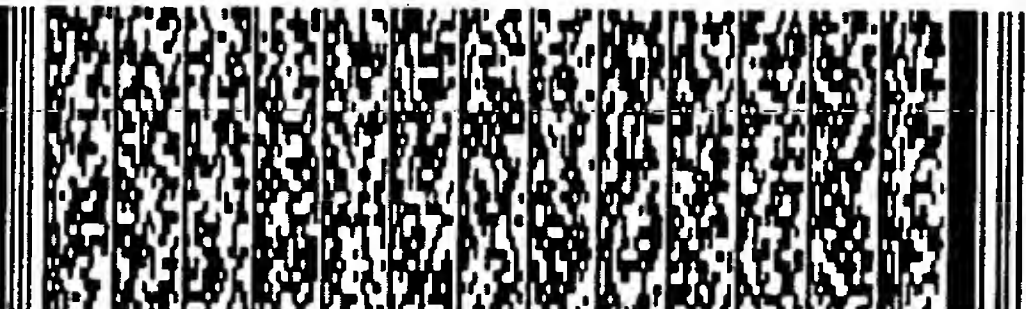
第 27/31 頁



第 28/31 頁



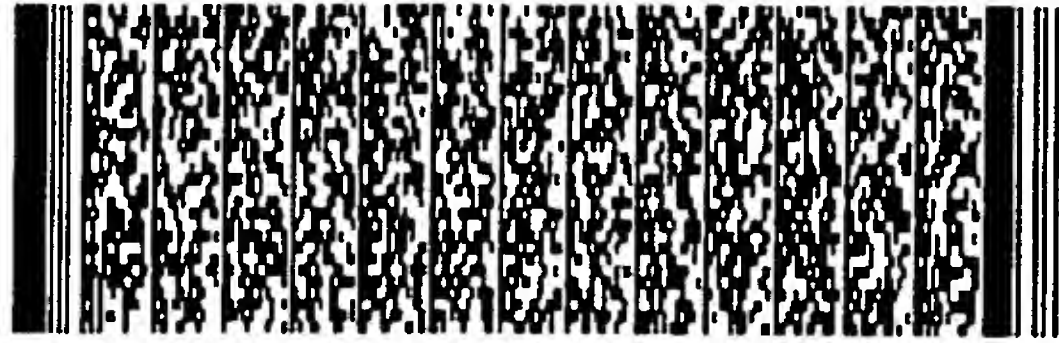
第 28/31 頁



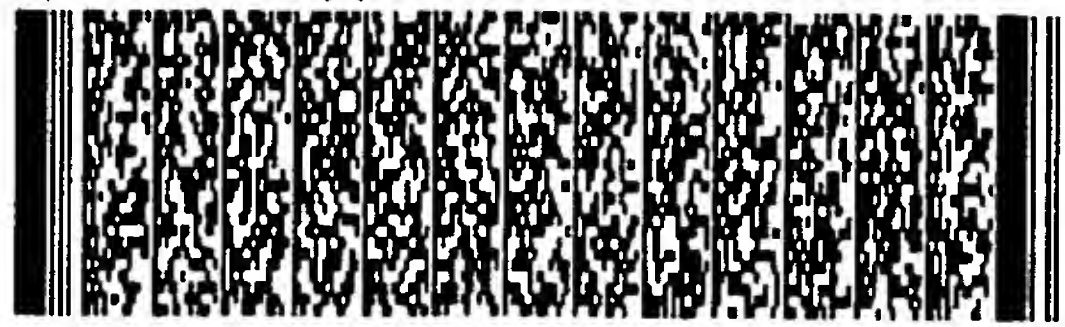
第 29/31 頁



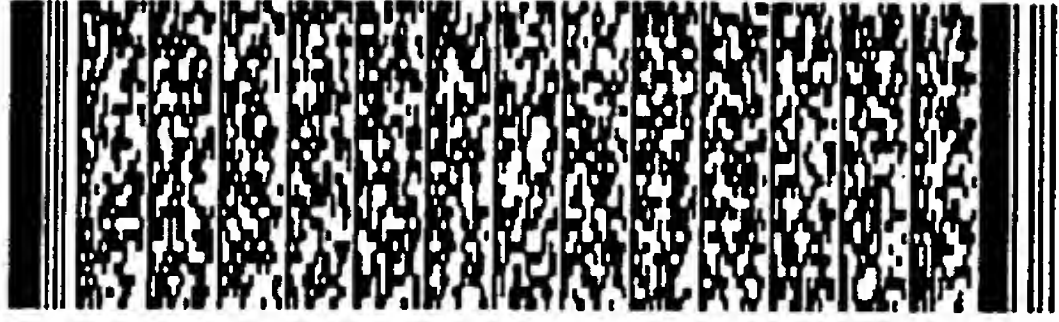
第 29/31 頁



第 30/31 頁



第 30/31 頁



第 31/31 頁

